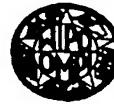


世界知的所有權機關

國際事務局



PCT

特許協力条約に基づいて公開された国際出願

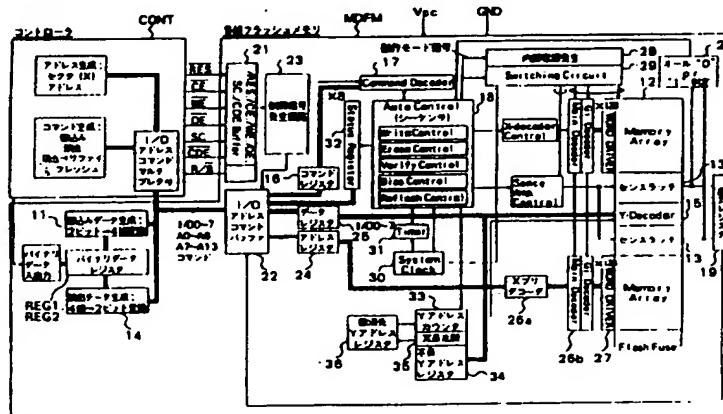
(51) 国際特許分類6 G11C 16/04		A1	(11) 国際公開番号 WO96/24138
			(43) 国際公開日 1996年8月8日 (08.08.96)
(21) 国際出願番号 (22) 国際出願日		PCT/JP95/02260 1995年11月7日 (07.11.95)	(81) 指定国 CN, JP, KR, SG, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
(30) 優先権データ 特願平7/14031		1995年1月31日 (31.01.95) JP	添付公開書類 国際調査報告書
(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)[JP/JP] 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)			
(72) 発明者: および (73) 発明者/出願人 (米国についてのみ) 三輪 仁(MIWA, Hitoshi)[JP/JP] 〒198 東京都青梅市新町769番地 Tokyo, (JP) 小谷博昭(KOTANI, Hiroaki)[JP/JP] 〒198 東京都青梅市友田町5丁目519番地9 Tokyo, (JP)			
(74) 代理人 弁理士 大日方富雄(OBINATA, Tomio) 〒162 東京都新宿区神楽坂3丁目2番地 雪村ビル2階 Tokyo, (JP)			

(54) The : NONVOLATILE MEMORY DEVICE AND REFRESHING METHOD

(54) 発明の名称 不揮発性記憶装置およびリフレッシュ方法

(57) Abstract

In a write operation, data of a plurality of bits is converted to data (multi-value data) corresponding to the combinations of bits by a logic circuit, and the converted data are sequentially transferred to a latch circuit connected to bit lines of a memory array. Write pulses are generated in accordance with the data held by the latch circuit and then applied to a memory device in a select state so as to impart a threshold value corresponding to the multi-value data to the memory device. In a read operation, the read voltage is changed to an intermediate value of the respective threshold voltages so as to read out the state of the memory device. The read voltage is then transferred to a register storing the multi-value data and held by it. The original bit data is restored by an inverse conversion logic circuit on the basis of the multi-value data stored in this register. Therefore, the peripheral circuits of the memory array can be kept at a relatively small scale, and the write operation can be accomplished within a short time.



(1) ... controller	13 ... sense latch
(2) ... address generation: sector : I/O address	14 ... detection data generation: 4-value - 2 bit
(3) ... command generation: write, erase, erase verify, refresh	conversion
(4) ... I/O address command multiplexer	16 ... command register
(5) ... binary data input/output	18 ... sequencer
(6) ... binary register	19 ... output register
(7) ... multi-value flash memory	20 ... all "0" or "1" judgement
(8) ... command	22 ... I/O address command buffer
(9) ... operation mode signal	23 ... control signal generation circuit
11 ... write data generation: 2 bit - 4 value conversion	26 ... address register
	28 ... data register

BEST AVAILABLE COPY

(57) 要約

データ書き込み時には複数ビットのデータをデータ変換論理回路によりそのビットの組合せに応じたデータ（多値データ）に変換して、変換されたデータをメモリアレイのビット線に接続されたラッチ回路に順次転送し、該ラッチ回路に保持されたデータに応じて書き込みパルスを生成して選択状態の記憶素子に印加することで、多値データに対応したしきい値を有する状態にさせるとともに、データ読み出し時には読み出し電圧をそれぞれのしきい値の中間に変化させて記憶素子の状態を読み出して多値データを記憶するレジスタに転送させて保持させ、該レジスタに記憶された多値データに基づいて逆データ変換論理回路により元のビットデータを復元するようにしたので、メモリアレイの周辺回路の規模を比較的小さく押さえることができるとともに、短時間での書き込み動作が実現できる。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL アルバニア	DE ドイツ	LI リヒテンシュタイン	PL ポーランド
AM アルメニア	DK デンマーク	LICK セントルシア	PT ポルトガル
AT オーストリア	EES エストニア	LCKR スリランカ	RUA ルーマニア
AU オーストラリア	FIR フィンランド	LRSA リベリア	RUD ロシア連邦
AZ アゼルバイジャン	FRS フランス	LSS レソトニア	SDDA スーダン
BA ボスニア・ヘルツェゴビナ	GAB ガボン	LTU ルクセンブルグ	SEADG スウェーデン
BB バルバドス	GBR イギリス	LVV ラトヴィア	SGI SHINGAPORE
BE ベルギー	GEN グルジア	MC モナコ	SKV SVEDEN
BF ブルガリア	GN ギニア	MD モルドバ共和国	SNK SKOPJE
BG ブルガリア	GRU ギリシャ	MG マダガスカル	SZD SINGAPORE
BI ベナン	HUE ハンガリー	MK マケドニア旧ユーゴスラ	TGD SWEDEN
BR ブラジル	IEL アイルランド	VI ヴィエトナム共和国	TJG TURKEY
BY ベラルーシ	ILS イスラエル	ML マリ	TJM TURKMENISTAN
CA カナダ	ISL アイスランド	MN モンゴル	TRT TURKISH REPUBLIC
CF 中央アフリカ共和国	ITA イタリア	MR モーリタニア	TTU TURKEY
CG コンゴ	JPN 日本	MW マラウイ	UGS UGANDA
CH スイス	KE ケニア	MX メキシコ	UZC UGANDA
CI コート・ジボアール	KGS キルギスタン	NE ニジェール	UZS UGANDA
CM カメルーン	KPR 朝鮮民主主義人民共和国	NL オランダ	UZU UGANDA
CN 中国	KR 大韓民国	NO ノルウェー	VN VIETNAM
CU キューバ	KZ カザフスタン	NZ ニュージーランド	
CZ チェコ共和国			

WO 96/24138

PCT/JP95/02260

明細書

不揮発性記憶装置およびリフレッシュ方法

技術分野

本発明は、半導体記憶装置さらには不揮発性半導体記憶装置における多値情報の記憶方式に適用して特に有効な技術に関し、例えば複数の記憶情報を電気的に一括消去可能な不揮発性記憶装置（以下、単にフラッシュメモリという）を利用して有効な技術に関するものである。

背景技術

フラッシュメモリは、FAMOSと同様にコントロールゲートおよびフローティングゲートを有する不揮発性記憶素子をメモリセルに使用しており、1個のトランジスタでメモリセルを構成することができる。かかるフラッシュメモリにおいては、書き込み動作では、第12図に示すように不揮発性記憶素子のドレイン電圧を5V程度にし、コントロールゲートが接続されたワード線を-10V程度にすることにより、トンネル電流によりフローティングゲートから電荷を引き抜いて、しきい値電圧が低い状態（論理“0”）にする。

消去動作では、第13図に示すように、P型半導体領域pwellを-5V程度にし、上記ワード線を10V程度にしてトンネル電流を発生させてフローティングゲートに負電荷を注入して、しきい値を高い状態（論理“1”）にする。これにより1つのメモリセルに1ビットのデータを記憶させるようしている。

ところで、記憶容量を増大させるために1メモリセル中に2ビット以上のデータを記憶させる、いわゆる「多値」メモリの概念が提案されている。この多値メモリに関する発明としては、特開昭59-121696号などがある。

従来のフラッシュメモリでは、隣接ビットへの書き込み・読み出し・消去動作に伴い生じる弱い書き込み（ディスターク）及び自然リーク（リテンション）によりしきい値のばらつきが増大し、論理“0”、論理“1”に対応するしきい値のば

WO 96/24138

PCT/JP95/02260

5

らつき分布形状の半値幅（第3図に示されているような山型のばらつき分布のピーク値の1/2の位置での幅）が時間の経過とともに大きくなることが知られている。今後のLSIの電源電圧の低電圧化に伴い、メモリセルのしきい値電圧は、ばらつき分布形状の経時的広がりにより読み出し電圧に対する電圧余裕範囲を越えてしまい、誤動作が起こり得るという問題点があることを本発明者は発見した。

10

特に、しきい値の差異により複数ビットのデータを一つの記憶素子に記憶させる多値メモリにおいては、各データに対応するしきい値電圧の差は小さいので、上記問題点は顕著となる。さらに、フラッシュメモリにあっては、不揮発性記憶装置固有の消去及び書き込みペリファイ動作があるため、多値メモリ固有の処理時間及び回路規模は最小限に抑制すべきであるという技術的課題がある。

この発明の目的は、回路の規模の増大を最少に抑え、かつ短時間で高精度の書き込み、読み出し、消去動作を実現可能な多値記憶型不揮発性記憶装置を提供することにある。

15

この発明の他の目的は、しきい値のばらつき分布形状を急峻化させる方法およびこれによって低電圧での安定した動作が可能な不揮発性記憶装置を提供することにある。

この発明の前記ならびにほかの目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

20

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。すなわち、

25

(1) データ書き込み時には複数ビットのデータをデータ変換論理回路によりそのビットの組合せに応じたデータ（多値データ）に変換して、変換されたデータをメモリアレイのビット線に接続されたラッチ回路に順次転送し、該ラッチ回路に保持されたデータに応じて書き込みパルスを生成して選択状態の記憶素子に印加することで、多値データに対応したしきい値を有する状態にさせるとともに、データ読み出し時には読み出し電圧をそれぞれのしきい値の中間に変化させて記

WO 96/24138

PCT/JP95/02260

憶素子の状態を読み出して多値データを記憶するレジスタに転送させて保持させ、該レジスタに記憶された多値データに基づいて逆データ変換論理回路により元のデータを復元させるようにしたものである。

(2) メモリアレイ内の記憶素子に対して弱い消去動作を実行した後、ワード線を読み出しレベルよりも低く、且つ、ベリファイレベルよりも高いしきい値を有する記憶素子を検出して該記憶素子のしきい値がベリファイ電圧よりも低い値になるように書き込みを実行することで、各入力データに対応して書き込まれた記憶素子のしきい値電圧のばらつき分布形状の広がりを狭くするようにしたものである。

上記した(1)の手段によれば、メモリアレイの周辺回路規模を比較的小さく押さえることができるとともに、書き込み動作においては、ワード線のベリファイ電圧値を消去のためのワード線電圧に近い側から遠ざかる方向に所定の値だけ順次変更する(第3図の(1)～(4)を参照)ことにより、書き込みパルスの総数すなわち書き込み時間は、ベリファイ電圧をランダムに設定する多値フラッシュメモリの方式に比べて小さくすることができ、短時間での書き込み動作が実現できる。

また、上記(2)の手段により、ディステーブやリテンション等により広がった記憶素子のしきい値電圧のばらつき分布形状を書き込み完了直後とほぼ同等の急峻な形状に戻すことができる。

図面の簡単な説明

第1図は、この発明に係る1メモリセルに書き込まれる／読み出される2ビットデータを各メモリセルに物理的に書き込み／読み出されるレベルである4値データに変換する演算の一実施例を示す説明図である。

第2図は、データ変換論理回路により変換された4値データを元の2ビットデータに逆変換する演算の一実施例を示す説明図である。

第3図は、上記4値データとメモリセルのしきい値との関係を示す説明図である。

第4図は、本発明に係る多値フラッシュメモリの一実施例の概略を示すプロック図である。

WO 96/24138

PCT/JP95/02260

第5図は、実施例の多値フラッシュメモリの書き込み手順を示すフローチャートである。

第6図は、実施例の多値フラッシュメモリの書き込み動作波形を示すタイミングチャートである。

5 第7図は、実施例の多値フラッシュメモリの書き込み方式と他の書き込み方式との違いを示す波形図である。

第8図は、実施例の多値フラッシュメモリの読み出し手順を示すフローチャートである。

10 第9図は、実施例の多値フラッシュメモリの読み出し動作波形を示すタイミングチャートである。

第10図は、実施例の多値フラッシュメモリ全体の構成例を示すブロック図である。

15 第11図は、多値メモリ固有の2ビットデータと4値データとの変換機能をコントローラに持たせた実施例におけるシステムの構成例を示すブロックである。

第12図は、実施例のフラッシュメモリに使用されるメモリセルの構造および書き込み時の電圧状態を示す模式図である。

第13図は、実施例のフラッシュメモリに使用されるメモリセルの消去時の電圧状態を示す模式図である。

20 第14図は、実施例のフラッシュメモリに使用されるメモリセルの読み出し時の電圧状態を示す模式図である。

第15図は、内部電源発生回路と発生された電圧を選択してワードドライブ回路等に供給するスイッチング回路を示した説明図である。

第16図は、ワードドライブ回路の構成例を示す回路図である。

25 第17図は、実施例の多値フラッシュメモリのリフレッシュ方法を示す説明図である。

第18図は、実施例の多値フラッシュメモリのリフレッシュ手順を示すフローチャートである。

第19図は、リフレッシュ実行時の動作波形を示すタイミングチャートである。

第20図は、実施例のセンスラッチ回路の構成例を示す回路図である。

WO 96/24138

PCT/JP95/02260

第21図は、センスラッチ回路の作用を示すデータ反転開始時の回路状態図である。

第22図は、センスラッチ回路の作用を示すデータ反転終了時の回路状態図である。

5 第23図は、センスラッチ回路の作用を示すベリファイ時の回路状態図である。

発明を実施するための最良の形態

以下、本発明をフラッシュメモリに適用した場合についてその実施例を図面を用いて説明する。

10 第1図は、外部から入力される記憶すべきデータとメモリセルに記憶される多値データとの変換方式を、また第2図は多値データから元のデータを復元する逆変換方式を示すものである。

15 第1図には、特に限定されないが、1メモリセルに2ビットすなわち“00”、“01”、“10”、“11”的何れかを記憶させる場合の変換方式の例が示されている。第1図の(1)における第1のバイナリデータである“a”と第2のバイナリデータである“b”との組み合わせは4種類有り、各組合せは第1図の(2)に示す3種類の論理演算($a \text{ NAND } b$)、(NOT b)、($a \text{ NOR } b$)を実施することにより、4つのビットのうち“1”的個数が0個、1個、2個、3個という4種類の4値データに変換される。

20 ここで、上記の演算結果による“1”的個数だけ記憶素子に対して書き込み動作すなわち書き込みパルスの印加をすれば、各記憶素子のしきい値が書き込み回数に応じて、第1図の(3)に示すように4通りになり、2ビットデータを1メモリセルに書き込むことができる。メモリアレイ内の複数の記憶素子に対して、“00”、“01”、“10”、“11”的データをそれぞれ同数ずつ記憶させる場合の各記憶素子のしきい値分布の変化の様子が第3図に示されている。

25 第2図は、データ読み出し原理を示すものである。ワード線の読み出し電圧を、3段階(第3図の各しきい値分布の中間の値)に変化させることにより、同一メモリセルから3種のデータ、“c”、“d”、“f”を順次読み出すことができる。そこで、読み出されたデータに対して論理演算($d * \text{NAND } f$) NAND

WO 96/24138

PCT/JP95/02260

c* を実施することで書き込まれた 2 ビットのデータのうち一方 (a) を復元することができる。また、読み出されたデータのうち d は、そのままで書き込みデータ b と一致する。なお、d*, c* は d, c の反転信号を表わす。

第 4 図には、第 1 図および第 2 図に示した多値データへの変換および逆変換の具体的回路構成の一例が示されている。

データ書き込みに際して、外部から多値フラッシュメモリへ供給された 2^n ビット長のデータは、スイッチ SW1 を介してデータ幅が n ビットである 2 つのバイナリデータレジスタ REG1, REG2 にシリアルに格納される。このとき、特に制限されないが、外部から供給されるクロック CLK1 により動作されるフリップフロップ FF1 の出力により上記スイッチ SW1 が切り換えられるとともに、分周回路 DVD でクロック CLK1 を分周して得られた CLK1 の 2 倍の周期のクロック CLK1' が切換え回路 CHG を介して供給されこのクロック CLK1' に同期してバイナリデータレジスタ REG1, REG2 がシフトされることにより、入力データは 1 ビットずつ交互にバイナリデータレジスタ REG1, REG2 に格納される。

第 1 のバイナリデータレジスタ REG1 に格納されたデータ “a” と第 2 のバイナリデータレジスタ REG2 に格納されたデータ “b” は、内部のクロック生成回路 30 から切換え回路 CHG を介して供給されるクロック CLK2 に同期してシフトされ、第 1 図の (2) の演算を行うデータ変換論理回路 11 に 1 ビットずつ供給され、所定の論理演算後にスイッチ SW2 を経てメモリアレイ 12 の一侧に設けられている n ビット長のセンスラッチ回路 13 に順次転送され、メモリアレイ 12 内のメモリセルへの書き込みが実行される。この書き込み動作については後に詳しく説明する。

上記切換え回路 CHG は、メモリ内部の制御を司るシーケンサ 18 からの制御信号によってデータ入力時にはクロック CLK1' をバイナリデータレジスタ REG1, REG2 に供給し、センスラッチ 13 との間のデータ転送の際にはクロック生成回路 30 からのクロック CLK2 をバイナリデータレジスタ REG1, REG2 に供給するように切り換え制御される。

上記データ変換論理回路 (データ書き込み用演算回路) 11 は、上記バイナリ

WO 96/24138

PCT/JP95/02260

5

データレジスタREG1, REG2内のデータa, bをそれぞれ入力端子に受け(a NAND b)の演算を行なうようにされたNANDゲートG1および(a NOR b)の演算を行なうNORゲートG2と、上記バイナリデータレジスタREG2のデータbを入力端子に受け(NOT b)の演算を行なうインバータG3とから構成され、スイッチSW2はこれらの論理ゲートG1, G2, G3のいずれかの出力信号を選択して上記センスラッチ回路13へ供給するように構成されている。

10

一方、データ読み出しに際して、メモリアレイ12内の1本のワード線が読み出し電圧レベルにされることに応じてビット線上に出現した読み出しデータ“c”は、上記センスラッチ回路13により増幅されてラッチされ、内部のクロックCLK2に同期してスイッチSW3を介して前記バイナリデータレジスタREG1にシリアル転送される。

15

次に、読み出し電圧レベルを変更してセンスラッチ回路13に読み出されたデータ“d”はスイッチSW3を介して前記バイナリデータレジスタREG2にシリアル転送される。さらに、読み出し電圧レベルを変更してセンスラッチ回路13に読み出されたデータ“e”はスイッチSW3を介して逆変換論理回路14にシリアル転送される。このとき、バイナリデータレジスタREG1, REG2は、クロックCLK2に同期してシフトされる。

20

ただし、データ読み出し時のクロックCLK2の周期はデータ書き込み時のクロックCLK2の周期よりも短くて良い。クロックCLK2の周期は、シーケンサ18からの制御信号によってクロック生成回路30が決定して生成することができる。ワード線読み出しレベルの変更もシーケンサ18からの制御信号に従って行われる。

25

上記逆変換論理回路(データ読み出し用演算回路)14は、上記バイナリデータレジスタREG2から出力されるデータを入力とするインバータG11と、該インバータG11との出力と上記センスラッチ回路13からの転送データを直接入力端子に受けるようにされたNANDゲートG12と、上記バイナリデータレジスタREG1から出力されたデータを遅延させて所定のタイミングで出力する遅延回路DLYと、該遅延回路DLYの出力を反転するインバータG13と、該イ

WO 96/24138

PCT/JP95/02260

ンバータ G 1 3 の出力と上記 NAND ゲート G 1 2 の出力とを入力とする NAND ゲート G 1 4 とにより構成され、上記バイナリデータレジスタ REG 1, REG 2 に保持された読み出しデータ c, d およびセンスラッチ回路 1 3 から直接転送された読み出しデータ f に対して第 2 図に示した論理演算 ($d * \text{NAND } f$) NAND c* を実施する。この演算結果は、スイッチ SW 1 を介してデータ入出力端子 I/O へ出力される。

このようにして 1 ビットのデータが出力されると同時に、上記バイナリデータレジスタ REG 2 がシフトされて保持されていたデータ “d” (= b) の 1 ビットが出力される。このとき、バイナリデータレジスタ REG 1, REG 2 のシフト動作はクロック CLK 2 に同期して行われる。次に、再び上記バイナリデータレジスタ REG 1, REG 2 からデータ “c”, “d” の次のビットが読み出され、センスラッチ回路 1 3 から直接転送された読み出しデータ “f” の次の 1 ビットに対して論理演算 ($d * \text{NAND } f$) NAND c* を実施する。以下、上記と同様の動作を繰り返すことで、逆変換されて元の 2 ビットに復元されたデータ “a”, “b” がデータ入出力端子 I/O より外部へ出力される。

なお、上記のように、逆変換論理回路 1 4 で逆変換されたデータ “a” を直ちに入出力端子 I/O へ出力させる代わりに、逆変換されたデータ “a” を一旦バイナリデータレジスタ REG 1 に格納し、全てのビットについて逆変換が終了した後にバイナリデータレジスタ REG 2 内のデータと交互に入出力端子 I/O へ出力させるように構成しても良い。その場合、上記遅延回路 DLY の代わりに、1 ビットのラッチ回路を設けるようにするのが望ましい。

これによって、バイナリデータレジスタ REG 1 内のデータ “c” を 1 ビット読み出してデータ “d”, “f” との論理演算を行ない、その結果をバイナリデータレジスタ REG 1 内の元のビット位置に書き込むといった操作が簡単に行なえるようになる。逆変換後のデータを一旦バイナリデータレジスタ REG 1, REG 2 に格納してから外部へ出力する場合のバイナリデータレジスタ REG 1, REG 2 のシフト動作は、外部からのクロック CLK 1 に同期して行うように構成することができる。

この実施例のフラッシュメモリは、特に制限されないが、外部の CPU 等から

WO 96/24138

PCT/JP95/02260

与えられるコマンドを保持するコマンドレジスタ 16 と、該コマンドレジスタ 16 に格納されたコマンドをデコードするコマンドデコーダ 17 と、該コマンドデコーダ 17 のデコード結果に基づいて当該コマンドに対応した処理を実行すべく上記スイッチ SW2, SW3 等各回路に対する制御信号を順次形成して出力するシーケンサ 18 とを備えており、コマンドが与えられるとそれを解読して自動的に対応する処理を実行するように構成されている。上記シーケンサ 18 は、例えばマイクロプログラム方式の CPU の制御部と同様に、コマンド（命令）を実行するのに必要な一連のマイクロ命令群が格納された ROM（リードオンリメモリ）からなり、コマンドデコーダ 17 がコマンドに対応したマイクロ命令群の先頭アドレスを生成してシーケンサ 18 に与えることにより、マイクロプログラムが起動されるように構成されている。

詳細な書き込み手順は第 5 図の書き込みフローに従い、次のように説明される。

先ず、書き込みに先立ち、すべてのメモリセルに対して一括消去が行なわれる。

これによって、すべてのメモリセルは、最も高いしきい値（約 5 V）有するようになります。書き込みデータとして“11”を記憶した状態となる（第 3 図の（1））。一括消去は、第 13 図に示すように、ワード線を立ち上げてメモリセルのコントロールゲート CG に 10 V、ビット線を介してドレインに 0 V、基板（半導体領域 pwell）に -5 V の電圧を印加して、フローティングゲート FG に電子を注入することにより行なう。上記一括消去は、外部 CPU から消去を指令する消去コマンドがコマンドレジスタ 16 に書き込まれることにより実行される。

なお、第 13 図（第 12 図、第 14 図）において、psub は p 型半導体基板、pwell はメモリセルの基体となる p 型半導体ウェル領域、niso はデータ消去時（負電圧印加時）に基板 psub との絶縁をとるための n 型半導体アイソレーション領域、p 型ウェル領域 pwell の表面の p+ はメモリセルのソース、ドレイン領域、p 型ウェル領域 pwell の表面の p+、アイソレーション領域 niso 表面の p+ および基板 psub の表面の p+ は、各半導体領域に電位を与える電極との接触抵抗を低減するためのコンタクト領域である。特に制限されないが、1 つの p 型ウェル領域には、128 本のようなワード線に接続されたメモリセルが形成され、このような一つのウェル上に形成された全てのメモリセルの一括消去が可能にされてい

WO 96/24138

PCT/JP95/02260

る。また、1つのp型ウェル領域上のメモリセルに対して、ワード線電位を選択(10V)／非選択(0V)とすることで、ワード線単位の消去も可能である。

一括消去が終了すると、外部のCPUから書き込みコマンドが第4図のコマンドレジスタ16に書き込まれることによりフラッシュメモリは書き込みモードとなる。この書き込みモードにおいて、所定のタイミングで書き込みデータが入力される。すると、フラッシュメモリは、上記書き込みデータをバイナリデータレジスタREG1, REG2に取り込んで、2ビットずつ変換論理回路11に転送して4値のデータに変換する(ステップS1)。変換は、 $a \text{NAND } b$, $\text{NOT } b$ (b の反転), $a \text{ NOR } b$ の順に行なわれる。変換されたデータ(1回目は $a \text{ AND } b$)は、センスラッチ回路13に転送される(ステップS2)。

次のステップS3でバイナリデータレジスタREG1, REG2内のすべてのデータが転送されたか否か判定し、転送が終了したと判定すると、外部のCPUから供給されたX(ロウ)系アドレスと第10図に示す内蔵Yアドレスカウンタ33から出力されるY(カラム)系アドレスの“1”に対応したビットのメモリセルに所定のパルス幅の書き込みパルスが印加され、書き込みが実行される(ステップS4)。書き込みは、第12図に示すように、ワード線を介してコントロールゲートCGに-10V、ビット線を介してセンス回路からドレインに5V、基板に0Vの電圧を印加することで行なわれる。なお、このとき非選択のワード線にはVcc(例えば3.3V)が印加される。これによって、ディスターべによるしきい値の変動が抑制される。

次に、書き込みレベルに応じたペリファイ電圧(1回目は約3.5V)が書き込み時に選択状態にされたままのワード線に供給され、書き込みパルスが印加されたメモリセルの読み出しが行なわれる。充分に書き込みがなされたメモリセルからは読み出しデータとして“0”が読み出されるが、書き込み不足のメモリセルからは読み出しデータとして“1”が読み出される。従って、読み出されたデータに応じて書き込み終了か書き込み不足かが判る。ここで書き込みが終了したビットのセンスラッチ回路13のデータは“0”に反転される(ステップS6)。そして、すべてのセンスラッチ回路13のラッチデータが“0”になったか否か判定し、オール“0”になればその回の書き込みは終了するが、1つでもラッチ

WO 96/24138

PCT/JP95/02260

5

データが“1”である書き込み不足のメモリセルがあれば、ステップS7からS4に戻って“1”に対応する書き込み不足のメモリセルに対して再び書き込みパルスが印加される。上記ステップS4～S7を繰り返すことで全てのメモリセルのしきい値が書き込みベリファイ電圧以下に下がるよう書き込みパルスが繰り返し印加される。これによって、書き込みのなされたメモリセルは平均で3.2V程度のしきい値を有するようになる。

10

15

上記書き込みベリファイ動作により全てのメモリセルへの所望のデータの書き込みが完了すると、センスラッチ回路13のすべてのデータは“0”になるので、ステップS8へ移行し、すべての書き込みレベルによる書き込み、すなわちデータ“10”, “01”, “00”に対する書き込みが終了したか判定する。そして、終了していなければステップS1に戻り、次の演算結果($\text{NOT } b$)に基づく4値データがメモリセルに書き込まれ、ワード線のベリファイ電圧を変更(2回目は2.5V)してベリファイが行なわれ、書き込みのなされたメモリセルは平均で2.2V程度のしきい値を有するようになる。その後、第3の演算結果($a \text{ NOR } b$)の書き込みおよびベリファイ(ベリファイ電圧1.5V)が実行され、書き込みのなされたメモリセルは平均で1.2V程度のしきい値を有するようになって書き込みが終了する。

20

25

第6図は、上記書き込み及び書き込みベリファイ動作時の制御クロックCLK2とセンスラッチ回路13への書き込みデータおよび選択ワード線電位の波形を示す。一回目の書き込みでは、第1の演算結果($a \text{ NAND } b$)をセンスラッチ回路13に転送後、書き込みパルスによりラッチの値が“1”である選択されたメモリセルに書き込みがなされる。次に、書き込みベリファイ電圧としてワード線に例えば3.5V程度の電圧を供給し、読み出されたデータが“0”になっているか否かを判定する。しきい値が3.5Vより高い場合は、読み出されたデータは“1”となり書き込み不足であることが分かるので、読み出しデータが“0”になるまで書き込み動作が繰り返される。次に、第2の演算結果($\text{NOT } b$)がセンスラッチ回路13に転送され、書き込みパルスにより、所望のメモリセルに書き込み動作が開始される。書き込みベリファイ電圧は、2.5V程度に設定されており、書き込み不足になつてないか判定し、不足のときには再書き込みがなされる。最

WO 96/24138

PCT/JP95/02260

後に、第3の演算結果 ($a \text{NOR } b$) が、センスラッチ回路 13 に転送され、上記と同様の手順が行われる。この場合の書き込みベリファイ電圧は 1.5V 程度である。

上述したように、上記実施例においては、3段階の書き込みベリファイのワード線電圧の設定は、消去レベル（約 5 ボルト）に最も近く設定されたレベル（3.5V）を起点として、以後消去レベルから遠ざかる方向に電圧値が順次変わる（3.5V → 2.5V → 1.5V）ように制御される。また、上記実施例では、第7図の（B）に示すように、目標とするしきい値が中間もしくは最も低いもの（2.2V, 1.2V）に対しても、最も高いしきい値（3.2V）を目標とするメモリセルへの書き込みを行なう際に同時に書き込みを行なうようにしている。これは本発明の特徴の一つである。これにより多値データの書き込み処理時間の増大を最少に抑えることができる。

すなわち、上記した方法以外に書き込み及び書き込みベリファイのワード線電圧の設定方法としては、一回目で 3 種類のしきい値電圧のうち中間のもの（2.2V）を目標として書き込みを行ない、次に一回目の電圧よりも高いレベル（3.2V）、または低いレベル（1.2V）を目標とするように設定を変更する方法が考えられる。あるいは、第7図の（A）に示すように、目標とするしきい値が同一のメモリセルに対してそれぞれ一括して書き込みを行なう方法が考えられる。しかし、これらの方法は、書き込み処理が複雑で時間を要すること、またワード線電圧を変更するためのチャージ／ディチャージのための時間も増加するため、書き込み／ベリファイ時間が本実施例よりも大きくなってしまう。

次に、第8図および第9図を用いてメモリセルの読み出し動作について説明する。データの読み出しは、第14図に示すように、ワード線を立ち上げてメモリセルのコントロールゲート CG に 3.7V, 2.7V または 1.7V のような選択レベルの電圧を、またビット線を介してドレインに 1.5V の電圧を印加することにより行なう。読み出し動作は、読み出しを指令するコマンドがコマンドレジスタ 16 に書き込まれることにより実行される。

読み出し動作が開始されると、まず読み出しレベルを最も高い 3.7V に設定してワード線を立ち上げる（ステップ S11）。すると、選択されたメモリセル

WO 96/24138

PCT/JP95/02260

5

において、ワード線読み出し電圧レベルに応じてビット線上にデータが出現するので、ビット線レベルをセンスラッチ回路 13 により増幅することでデータの読み出しを行なう（ステップ S12）。次に、読み出し動作が一回目、二回目かまたは三回目であるかによって以後の処理が分かれ（ステップ S13）。すなわち、読み出し動作が一回目のときは、上記センスラッチ回路 13 内の読み出しデータをバイナリデータレジスタ REG1 へ転送する（ステップ S14）。

10

15

そして、センスラッチ回路 13 内のすべての読み出しデータの転送が終了するとステップ S15 から S11 へ戻って、読み出しレベルを 2.7V に設定して二回目のデータ読み出しを行ない、それをバイナリデータレジスタ REG2 へ転送する。二回目のデータ読み出しおよび転送が終了すると、読み出しレベルを 1.7V に設定して三回目のデータ読み出しを行ない、ステップ S13 から S16 へ移行して読み出しデータを直接逆変換論理回路 14 に転送する。また、上記バイナリデータレジスタ REG1, REG2 に保持されているデータをそれぞれ 1 ビットずつ逆変換論理回路 14 へ転送し、ここで 4 値データを 2 ビットに変換する論理演算を行なう（ステップ S17）。そして、センスラッチ回路 13 内のすべてのデータの転送、変換が終了するまで、上記手順（S16～S18）を繰り返し、読み出し動作が終了する。上記データ変換は第 2 図の演算を実行することにより得られる。

20

25

第 9 図には、上記手順に従った読み出し動作中における制御クロック CLK2 とセンスラッチ回路 13 から転送されるデータおよびワード線の読み出しレベルのタイミングが示されている。外部から読み出しコマンドおよびアドレスが与えられると、読み出し動作が開始され、まず第 1 の読み出しレベル（3.7V）が設定されてワード線が立ち上げられることにより、ビット線上にデータが出現する。第 1 のワード線レベルである 3.7V により出現したデータ “c” はセンスラッチ回路 13 により読み出され、センスラッチのデータ長である n ビットと同一のデータ幅を有する第 1 のバイナリデータレジスタ REG1 にデータが転送される。

次に、ワード線電圧レベルを所定の値だけ下げて第 2 の読み出しレベル 2.7V に設定して得られたデータ “d” は、第 2 のバイナリデータレジスタ REG2

に転送される。ワード線を第3の読み出しレベル1.7Vに下げる得られたデータ“f”は逆変換論理回路14に転送され、上記“c”、“d”、“f”的4値データが2ビットデータに復元されて外部の例えはCPUに出力される。

第10図には、上記データ変換・逆変換機能回路を同一半導体チップ上に備えた多値フラッシュメモリMDFMの全体の構成例と、これに接続されるコントローラCONTとの関係が示されている。コントローラCONTは、この実施例の多値フラッシュメモリに対しては、アドレス生成機能とコマンド生成機能を備えるだけでよいので汎用マイクロコンピュータを用いることができる。

第10図において、第4図と同一符号が付されている回路部分は同一の機能を有する回路である。すなわち、REG1、REG2はコントローラからの2ビットの書き込みデータを取り込むバイナリデータレジスタ、11は取り込まれた2ビットデータを4値データに変換するデータ変換論理回路、12はFAMOSのようにフローティングゲートを有する不揮発性記憶素子がマトリックス状に配設されたメモリアレイ、13は読み出しデータおよび書き込みデータを保持するセンスラッチ回路、14はメモリアレイから読み出された4値データを元の2ビットデータに変換する逆変換論理回路、16はコントローラCONTから与えられるコマンドを保持するコマンドレジスタ、17はコマンドレジスタ16に取り込まれたコマンドコードをデコードするコマンドデコーダ、18は当該コマンドに対応した処理を実行すべくメモリ内の各回路に対する制御信号を順次形成して出力するシーケンサである。

特に限定されないが、この実施例の多値フラッシュメモリには2つのメモリアレイが設けられ、それぞれに対応してセンスラッチ回路13が設けられている。各センスラッチ回路13はそれぞれのメモリアレイ内のワード線を共通にする1行分のメモリセルのデータを同時に増幅して保持するように構成されており、2つのセンスラッチ回路13、13に保持された読み出しデータは共通のYデコーダ回路15によって選択されて出力レジスタ19へ1ビットずつあるいはバイト等の単位で転送される。出力レジスタ19は保持された読み出しデータは、バッファ回路22を介して外部のCPU等へ出力される。第4図の実施例のセンスラッチ回路13はデータを転送する際にシフト動作を行なうので、シフトレジスタと同

WO 96/24138

PCT/JP95/02260

様な機能が必要とされるが、第10図のようにYデコーダ回路15でデータを選択する方式としつつこのYデコーダ回路15がクロックにより選択ビットをシフトして行くような構成とすることで、センスラッチ回路13にはシフト機能が不要とすることができます。

この実施例の多値フラッシュメモリには、上記各回路の他、メモリアレイ12からセンスラッチ13へ読み出されたデータがオール“0”またはオール“1”かを判定するオール判定回路20、コントローラCONTから供給されるリセット信号RESやチップ選択信号CE、書き込み制御信号WE、出力制御信号OE、システムクロックSC、コマンド入力かアドレス入力かを示すためのコマンドイネーブル信号CDE等の外部制御信号を取り込むバッファ回路21と、アドレス信号やコマンド信号、データ信号を取り込むバッファ回路22や上記外部制御信号に基づいて内部回路に対する制御信号を形成する内部信号発生回路23、バッファ回路22に取り込まれたアドレスを保持するアドレスレジスタ24、入力データを保持するデータレジスタ25、取り込まれたアドレスをデコードしてメモリアレイ12内のワード線を選択する信号を形成するXアドレスデコーダ26a, 26bおよびワードドライバ27、基板電位や書き込み電圧、読み出し電圧、ペリファイ電圧等チップ内部で必要とされる電圧を発生する内部電源発生回路28、メモリの動作状態に応じてこれらの電圧の中から所望の電圧を選択してワードドライバ27等に供給するスイッチング回路29、内部のクロック(CLK2等)を発生するクロック生成回路30、クロックを計数して書き込みパルス幅等の時間を与えるタイマ回路31、シーケンサ16によるメモリの制御状態を示すステータスレジスタ32、Yアドレスを自動的に更新するYアドレスカウンタ33、不良ビットの位置(アドレス)を保持する不良アドレスレジスタ34、Yアドレスと不良アドレスとを比較する冗長比較回路35、アドレスが一致したときに選択メモリ列を切り換える救済先アドレスを記憶する救済先アドレスレジスタ36等を備えている。また、この実施例の多値フラッシュメモリは、外部からアクセスが可能か否かメモリの状態を示すレディ/ビジィ信号R/B*を出力するように構成されている。

さらに、この実施例の多値フラッシュメモリはディスターブやリテンションに

WO 96/24138

PCT/JP95/02260

よりしきい値のばらつき分布の山（第3図参照）が緩やかになったときにこれを急峻にさせる機能（以下、リフレッシュ機能と称する）を備えている。このリフレッシュ機能は、書き込みや消去と同様に外部からコマンドが与えられることにより働くようになっており、リフレッシュコマンドがコマンドレジスタ16に取り込まれると、マイクロプログラム制御方式のシーケンサ18が起動され、リフレッシュを行なう構成にされている。このリフレッシュ動作については後で詳細に説明する。上記オール判定回路20の判定結果を示す信号は、シーケンサ18へ供給されるように構成されており、リフレッシュモード時にオール判定回路20が読み出しデータのオール“0”を判定し、判定結果を示す信号がシーケンサ18に供給されると、シーケンサ18はリフレッシュ動作を停止する。また、データ消去時に、上記オール判定回路20が読み出しデータのオール“1”を判定すると、シーケンサ18は消去動作を停止するように構成されている。

また、この実施例においては、Xアドレス系のデコーダがアドレス信号をプリデコーダ26aとメインデコーダ26bで2段階にデコードするプリデコード方式を採用しており、例えばプリデコーダ26aでXアドレスの上位3ビットを先ずデコードして、そのプリデコード信号でワードドライバ27を制御して所望のワード線を選択するようにしている。このようなプリデコード方式を採用することにより、メインデコーダ26bを構成する単位デコーダをメモリアレイのワード線ピッチに合わせて配置して集積度を高め、チップサイズを低減できるようになる。

なお、上記実施例の多値フラッシュメモリは、第4図や第10図に示されているように2ビットデータから4値データへの変換とその逆変換を実行する機能回路11, 14を同一シリコン基板に備えているが、これらの機能を有する専用のコントローラユニットとして構成する事も可能である。このようにした場合には、多値固有の機能をフラッシュメモリチップに搭載する事がないので、チップ面積の増大はなく、また第11図に示すように、複数のフラッシュメモリMDFMを一つのコントローラユニットCONTにバスBUSで接続して制御するように構成できるという利点も有している。このコントローラユニットは、上記データ変換・逆変換機能の他にアドレス生成機能やコマンド生成機能を備えるように構

WO 96/24138

PCT/JP95/02260

成される。

第15図は、ワード線電圧や基板電位V_{sub}を発生する内部電源発生回路28と、それらを選択してワードドライブ回路27等に供給するスイッチング回路29を示したもの、第16図は、ワードドライブ回路27の構成例を示したものである。内部電源発生回路28はシーケンサ18から発生された各種動作モードに対応した内部制御信号を受けて必要なワード線電圧を発生する。ワード線電圧を含む内部電源発生回路28の構成及び発生した電圧を受けるスイッチング回路(ワード線電圧切替回路)29の構成は従来のものと同様であり、ワード線の電圧値の種類が多値用に増加しただけである。

すなわち、従来の2値のフラッシュメモリで必要なワード線電圧は、読み出し電圧(2.7V, 0V)、書き込み電圧(-10V, 0V)、書き込みペリファイ電圧(1.5V)、消去電圧(+10V, 0V)及び消去ペリファイ電圧(4.3V, 0V)の4種類であるのに対し、本実施例の多値フラッシュメモリで必要とされるワード線電圧は、読み出し電圧(3.7V, 2.7V, 1.7V, 0V)、書き込み電圧(-10V, 0V)、書き込みペリファイ電圧(3.5V, 2.5V, 1.5V)、消去および消去ペリファイ電圧(10V, 4.3V, 0V)及びリフレッシュ電圧(-10V, 10V, 3.7V, 3.5V, 2.7V, 2.5V, 1.7V, 1.5V, 0V)となる。

上記スイッチング回路29は、シーケンサ18から発生された各種動作モードに対応した内部制御信号を受けて、上記内部電源発生回路28で発生された電圧を動作モードに応じて第16図のように構成されたワードドライブ回路27の電源端子P1, P2に供給する。

第16図のワードドライバWDRVは、ワード線プリデコード方式を採用した場合のもので、論理選択回路LOGS1の出力ノードN1に8個の電圧選択回路VOLS1～VOLS8の入力を共通接続し、また論理選択回路LOGS2の出力ノードN2に8個の電圧選択回路VOLS9～VOLS16の入力を共通接続し、プリデコード信号X_{P1}, X_{P1*}～X_{P8}, X_{P8*}によって個々の電圧選択回路を選択するようになっている。信号XM, XNおよびプリデコード信号X_{P1}, X_{P1*}～X_{P8}, X_{P8*}はアドレスデコーダXDCR(26b)か

WO 96/24138

PCT/JP95/02260

ら供給される。このとき電圧選択回路VOL S 1～VOL S 16は、それに対応する論理選択回路LOG S 1または2が選択レベルの選択信号を出力しても、プリデコード信号にて動作が選択されなければ、その他の論理選択回路にて非選択とされるものと同一の電圧を選択してワード線に供給しなければならない。

5 そのために、分離用MOSFET Q 56, Q 57をプリデコード信号にてスイッチ制御するようとする。さらに、当該分離用MOSFET Q 56, Q 57がカットオフ状態にされたとき、ワード線に対して非選択状態の電圧を出力させるために、上記分離用MOSFET Q 56, Q 57と相補的にスイッチ制御されて出力回路INV 2のそれぞれの入力に所定の電圧を供給可能にするプルアップMOSFET Q 58とプルダウンMOSFET Q 59とが設けられている。

10 第16図において、上記信号XMは、8本のワード線を一組とする8個のワード線群の中からいずれの群のワード線を選択するか指示する3ビットの信号とみなされる。プリデコード信号X p 1, X p 1*～X p 8, X p 8*は各ワード線群に含まれるいずれのワード線を選択するか指示する相補信号とみなされる。本実施例に従えば、選択信号SELはハイレベルが選択レベルとされ、プリデコード信号X p 1, X p 1*～X p 8, X p 8*のそれぞれは、ハイレベル、ロウレベルが選択レベルとされる。

15 上記ワードドライバWDRVの端子P 1に供給される電圧は消去、書き込み、ペリファイ、読み出しに使用される5V, 4.3V, 3.7V, 3.5V, 2.7V, 2.5V, 1.7V, 1.5V, 0Vのような電圧Vppであり、端子P 2に供給される電圧は書き込み、リフレッシュに使用される-10Vのような電圧Vee、回路の接地電位もしくは基準電位としての0Vのような電圧Vssである。

20 上記各論理選択回路LOG S 1, LOG S 2は、各々XデコーダXDCRの信号を反転するインバータINV 1とその出力を伝達もしくは遮断するトランスマッゲートTG 1と、XデコーダXDCRの信号を伝達もしくは遮断するトランスマッゲートTG 2とにより構成されている。

25 上記電圧選択回路VOL S 1～VOL S 16はそれぞれ同一構成にされ、その詳細が代表的に示された電圧選択回路VOL S 1のように、端子P 3とMOSF

WO 96/24138

PCT/JP95/02260

5

E T Q 5 2 のゲートとの間に設けられたプリデコード信号 X p 1 * によりスイッ
チ制御される N チャンネル型ブルアップ MOSFET Q 5 8 と、端子 P 4 と MO
S F E T Q 5 3 のゲートとの間に設けられたプリデコード信号 X p 1 によりス
イッヂ制御される P チャンネル型ブルアップ MOSFET Q 5 9 とを備え、さら
に分離用 MOSFET Q 5 6 をプリデコード信号 X p 1 によりスイッヂ制御し、
他方の分離用 MOSFET Q 5 7 をプリデコード信号 X p 1 * によりスイッヂ制
御するように構成されている。上記端子 P 3 および P 4 には、電圧 V c c または
V s s が供給される。

10

次に、第 16 図のワードドライバ WDRV の作用を説明する。表 1 には各動作
モードにおける端子 P 1 ~ P 4 の電圧とワード線電圧が示されている。書き込み
モード、消去モード、読み出しモードの各々の設定の仕方については説明を省略
する。

WO 96/24138

PCT/JP95/02260

* 1

	SELECTED	UNSELECTED	XH	Xp	DE	P4	P1 ◎	P3 O	P2 ◎	WORD LINE
ERASE	O		L	H						Vpp
	O		H	H	L	Vcc	Vpp	Vcc	Vss	Vss
	O		L/H	L						Vss
	O		L	H						Vee
PROGRAM	O		H	H	H	Vss	Vcc	Vss	Vee	Vcc
	O		L/H	L						Vcc
	O		L	H						Vcc
	O		L/H	L						Vss
READ	O		H	H	L	Vcc	Vcc	Vss	Vss	Vss
	O		L/H	L						Vss
	O		L	H						Vss
	O		L/H	L						Vss

WO 96/24138

PCT/JP95/02260

コマンドにより消去モードが指示されると、端子P1には電圧V_{pp}が、また端子P2にはV_{ss}、端子P3およびP4には電圧V_{cc}がそれぞれスイッチング回路29から供給されるとともに、制御信号DEがロウレベルにされる。

また、信号XMが全ビットロウレベルにされることにより、ワード線W1～W8のいずれかを選択することが可能となる。これにより、選択レベル（ハイレベル）の選択信号SELが供給されると、インバータINV1およびトランスマルチゲートTG1を介してノードN1がロウレベルになり、これがそれぞれの電圧選択回路VOLS1～VOLS8の入力に与えられる。消去がされるメモリセルがワード線W1に結合されているメモリセルである場合、プリデコード信号X_{p1}、X_{p1*}～X_{p8}、X_{p8*}は、そのうちX_{p1}、X_{p1*}だけがハイレベル、ロウレベルにされる。

従って、分離用MOSFETQ56、Q57は電圧選択回路VOLS1だけがオン状態とされ、ノードN1の信号は電圧選択回路VOLS1にだけ取り込まれる。このとき、電圧選択回路VOLS1のプルアップMOSFETQ58およびプルダウンMOSFETQ59は、共にカットオフ状態にされる。

その結果、当該電圧選択回路VOLS1のMOSFETQ52、Q53のゲートには上記ノードN1の信号が供給される。これによって、出力回路INV2のMOSFETQ52がオン状態にされて、ワード線W1は端子P1の電圧V_{pp}によって充電され始める。このとき、他方のMOSFETQ53のゲートに供給されるロウレベルは、MOSFETQ57の作用によって当初電圧V_{ss}よりも高いロウレベルにされて、MOSFETQ53は完全にはカットオフされないが、ワード線W1のレベルの上昇に従ってフィードバックMOSFETQ55のコンダクタンスが大きくされることにより、当該MOSFETQ53のゲートが電圧V_{ss}に強制されてMOSFETQ53は完全にカットオフの状態になる。

従って、消去モードにおいて、選択メモリセルが結合されているワード線W1はV_{pp}まで充電される。

選択信号SELが上記のようにハイレベルにされている場合に、ワード線W1のメモリセルQ1が消去非選択のメモリセルであるときには、プリデコード信号X_{p1}、X_{p1*}はそれぞれロウレベル、ハイレベルにされる。従って、電圧選

WO 96/24138

PCT/JP95/02260

択回路VOLS1の分離用MOSFETQ56, Q57は共にオフ状態とされ、ノードN1の信号は電圧選択回路VOLS1に取り込まれない。このとき、電圧選択回路VOLS1のプルアップMOSFETQ58およびプルダウンMOSFETQ59は、共にオン状態にされる。

5 その結果、当該電圧選択回路VOLS1のMOSFETQ52, Q53のゲートには端子P3, P4からMOSFETQ58, Q59を介してVcc電圧が供給され、これによって、出力回路INV2のMOSFETQ53がオン状態にされて、ワード線W1は端子P2を介して電圧Vssに向かって放電され始める。このとき、他方のMOSFETQ52のゲートに供給されるハイレベルは、MO
10 SFETQ58のしきい値電圧分だけ電圧Vccよりも低いため、MOSFET Q52は完全にはカットオフされないが、オン状態のMOSFETQ53によつてワード線W1のレベルが下がるに従ってフィードバックMOSFETQ54のコンダクタンスが大きくされ、MOSFETQ52のゲートがVppに強制され
15 てMOSFETQ52は完全にカットオフの状態になる。従って、消去モードにおいて、非選択のワード線W1はVssまで放電される。

書き込みモードが指示された場合や読み出しモードが指示された場合におけるワードドライバ回路WDRVの動作は、上記書き込みモード時の動作に準じているので詳しい説明は省略するが、スイッチング回路29から端子P1, P2に供給される電圧によって、選択メモリセルにそれぞれ第13図や第14図に示すような電圧が印加されるようにワード線を駆動する。
20

次に、本発明の多値フラッシュメモリの第2の特徴であるリフレッシュ動作を第17図を用いて説明する。一旦データが書き込まれた多値フラッシュメモリは、第17図の(1)に示されているように、それぞれしきい値のばらつき分布の山がはっきり分かれているが、その後の書き込み、読み出し、スタンバイ状態等の動作を繰返し実行していると、第17図の(2)のように各しきい値のばらつきが増大する。
25

その原因としては、たとえばあるメモリセルに隣接したメモリセルが書き込まれると当該メモリセルも弱い書き込みが生じるいわゆるディスタークや、スタンバイ時における自然リークによるリテンションなどがある。この現象は1ビットの

WO 96/24138

PCT/JP95/02260

みを記憶する通常のフラッシュメモリでも生じ得ることであるが、前記実施例のように、各しきい値の間隔が狭い多値フラッシュメモリにおいては誤動作の原因となるおそれがある。

そこで、本実施例においては、しきい値のばらつき分布の山（第3図参照）が緩やかになったときに、これを急峻にさせるリフレッシュ動作を実行するようにしている。
5

以下、リフレッシュ動作の手順を説明する。

第18図にリフレッシュ動作の手順をフローチャートで示す。外部のCPU等からリフレッシュコマンドが入力されると、シーケンサ18が起動されて、第18図のフローチャートに従ったリフレッシュ動作が開始される。リフレッシュ動作が開始されると、先ず、選択されたワード線に接続されたすべてのメモリセルに対して、ワード線より弱い消去パルスを印加する（ステップS21）。この弱い消去パルスの印加により、すべてのメモリセルのしきい値は、第17図の
10
15
（3）に示すように、高い側に少しシフトする。特に限定されないが、シフト量は0.2V程度である。ここで、弱い消去パルスとは、加えた結果、例えば“10”にあるメモリセルのしきい値が、すぐ上の読み出しレベル3.7Vを上回らないような充分に短いパルスを意味する。パルス幅は、シフトさせたい量に応じて実験的に決定する。

第2段階では、ワード線電圧を、記憶データ“10”に対応した読み出しレベル（3.7V）に設定して読み出しを行なう（ステップS22）。これにより、各メモリセルのしきい値に応じてデータが読み出され、センスラッチ回路13により増幅、保持される（ステップS23）。このときに、ワード線電圧よりも高いしきい値を有するメモリセルに対応するセンスラッチのデータは“1”になり、ワード線電圧よりも低いしきい値を有するメモリセルに対応するセンスラッチのデータは“0”になる。次に、センスラッチのデータを反転させる（ステップS24）。このデータ反転は、第20図に示すような構成のセンスラッチ回路により容易に行なえる（後述）。

次に、上記読み出し（ステップS22）よりも低いベリファイ電圧（最初は3.5V）がワード線に設定され、しきい値の判定が実行される（ステップS25）。

WO 96/24138

PCT/JP95/02260

）。これにより、ペリファイ電圧より低いしきい値を有するメモリセル（第17図の（4）符号A）に対応するセンスラッチのデータは、“1”から“0”に変わる。これに対して、ペリファイ電圧よりも高いしきい値を有するメモリセル（第17図の（4）符号B）に対応したセンスラッチのデータは“1”的ままである。本実施例ではこれを再書き込み対象と判定する。これにより、ステップS21での弱い消去でしきい値が高い側にシフトされたときに読み出しレベル（3.7V）に近づき過ぎたメモリセルが特定されることになる。なお、このとき最も高いしきい値を有する記憶データ“11”に相当するメモリセル（第17図の（4）符号C）に対応したセンスラッチのデータは、上記反転動作により設定された“0”的ままでされる。このような作用も第20図に示すような構成のセンスラッチ回路により自動的に行なえる（後述）。

そこで、次に、書き込み電圧を設定してセンスラッチのデータが“1”であるメモリセル（第17図の（4）符号B）に対して再書き込みを行う（ステップS27）。その後、書き込みレベルに対応したペリファイ電圧を設定してペリファイを行なう（ステップS28, S29）。しきい値がペリファイ電圧よりも低くなつた時点でラッチデータは“1”から“0”に変わる。すべてのラッチデータが“0”に変わるまで、書き込みとペリファイを繰り返して“10”データのメモリセルのリフレッシュ処理は完了する（ステップS30）。これによって、“10”データのメモリセルのしきい値のばらつき分布（半値幅）が、第17図の（5）のように小さくなる。以後、“01”、“00”的データを記憶するメモリセルに対しても同様のリフレッシュ処理が実行される（ステップS31）。さらに、しきい値の分布形状の幅をより狭くするために、ステップS21～S31を繰り返し、所定回数終了した時点でリフレッシュが完了する（ステップS32）。

表2には、上記手順に従ってリフレッシュを行なった場合に、第17図の（4）の符号A, B, Cで示されるようなしきい値を有するメモリセルの読み出しを行なったときのセンスラッチ回路の保持データの変化が順に示されている。

WO 96/24138

PCT/JP95/02260

表 2

	読出し	反転	ペリファイ	終了時
セルA	0	1	0	0
セルB	0	1	1	0
セルC	1	0	0	0

第19図は、リフレッシュ動作を実行するタイミングを示す図である。前述したように、メモリセルのしきい値のばらつきが拡大する原因としては、隣接メモリセルに書き込み／読み出し動作が実行されると隣のメモリセルに弱い書き込み／消去、読み出し動作が実行されることによるディスターブと、自然リークによるリテンションがある。

5

ディスターブによるしきい値の変動に対するリフレッシュ動作の実行タイミングとして、

10

(1)当該フラッシュメモリがスタンバイ状態（／RESがハイレベル）にあり一定回数の書き込み／消去、読み出し動作が完了後にリフレッシュ動作を実行する。

15

(2)リセット時にリセット信号（／RES）が活性化されると直後にリフレッシュを実行する。

(3)スタンバイ状態から／RESをロウレベルにすることによりリセット状態になった直後にリフレッシュを実行する。

15

(4)電源をオフする直前に予め／RESをロウレベルにし、それを感知してリフレッシュを実行する。

(5)電源をオンし、／RESをハイレベルにした後、リフレッシュを実行する。などが考えられる。

20

一方、リテンションによるしきい値の低下に対する対策としては、電源投入時にダミーサイクルの途中、またはスタンバイ状態で一定周期毎にリフレッシュを実行することが考えられる。これらのリフレッシュタイミングはすべて実行するようにも良いが、いずれかひとつあるいは幾つかを実行するようにしても良

い。

なお、上記に説明したリフレッシュ動作は多値フラッシュメモリに限定されるものではなく、フラッシュメモリの電源電圧が今後低電圧化に移行すると、通常のフラッシュメモリでも、しきい値のばらつきの拡大は無視し得なくなるのであって、フラッシュメモリの低電源電圧化対策に有効な機能である。

第20図には、上記メモリアレイ12およびセンスラッチ回路13の構成例が示されている。メモリアレイ12は、ワード線と直交する方向に配設され選択メモリセルの読み出し信号が出力されるビット線BLと平行に配設された共通ドレイン線DLと、共通ソース線SLとの間に、複数（例えば一括消去可能な128本のワード線に対応して128個）のメモリセルMCが並列に接続されたAND型とされている。共通ドレイン線DLはスイッチMOSFET Q1を介して対応するビット線BLに接続可能にされ、また共通ソース線SLはスイッチMOSFET Q2を介して接地点に接続可能にされている。これらのスイッチMOSFET Q1, Q2のゲート制御信号は、Xアドレス信号とリード／ライト制御信号に基づいて形成され、データ読み出し時（ベリファイ時を含む）に、Vcc (3.3V) のような電位にされることで、スイッチMOSFET Q1, Q2はオン状態とされ、オン状態のメモリセルを通してビット線を放電する。一方、データ書き込み時には、ビット線の書き込み電圧 (5V) をメモリセルのドレインに伝えるため、スイッチMOSFET Q1のゲート制御信号は7Vのような電位にされ、Q1がオンされる。このとき共通ソース線SL側のスイッチMOSFET Q2はオフ状態にされる。

センスラッチ回路13は、各メモリ列に対応して設けられ左右のメモリアレイのビット線間の電位差を増幅するCMOS差動型センスアンプSAにより構成されている。読み出しに先立って選択側のメモリアレイ（図では左側）のビット線はプリチャージMOS (SW21) により1Vのような電位にプリチャージされ、反対側のメモリアレイ内のビット線はプリチャージMOS (SW22) によって0.5Vのような電位にプリチャージされる。

かかるプリチャージ状態でワード線WLが読み出しレベルにされたとき、選択されたメモリセルが高いしきい値を有しているとビット線は1.0Vを維持する

WO 96/24138

PCT/JP95/02260

が、選択メモリセルが低いしきい値を有していると電流が流れビット線の電荷が引き抜かれてビット線は0.2Vのような電位になる。この1.0Vまたは0.2Vと反対側のビット線の電位0.5Vとの電位差をセンスアンプSAが検出して増幅することで、読み出しデータがセンスアンプSAに保持される。

5 上記実施例においては、前述したように、書き込みを行なうメモリセルが接続されたビット線に対応したセンスラッチ（センスアンプ）に“1”をセットしておいてワード線に書き込みパルス（-10V）を印加し、その後書き込みレベルに応じたペリファイ電圧（1回目は約3.5V）をワード線に設定して、書き込みパルスが印加されたメモリセルの読み出しを行なう。そして、書き込み不足のメモリセルからはビット線に読み出しデータとして“1”が読み出されるので、読み出されたデータを見て書き込み終了か書き込み不足か判定し、書き込みが終了したビットのセンスラッチ（センスアンプ）のデータを“0”に反転させるようしている。つまり書き込み不足のメモリセルに対応したセンスラッチ（センスアンプ）にはデータとして“1”を残しておき、“1”の立っているビットに対応する書き込み不足のメモリセルに対して再び書き込みパルスを印加するようしている。

10

15

また、リフレッシュ動作においてもセンスラッチに読み出されたデータを反転し、ペリファイを行なって、“1”の立っているビットに対応するメモリセルに対して書き込みパルスを印加するようしている。

20 第20図のセンスラッチ回路においては、上記のような書き込みの際ににおける書き込み終了のメモリセルに対応したセンスアンプのラッチデータの反転および書き込みパルスを印加すべきメモリセルの絞り込みを容易に行なえるようするため、センスアンプとメモリアレイとの間に4個のスイッチSW11, SW12, SW13, SW14からなる反転制御回路30が設ける等の工夫がなされている。

25 以下、このセンスラッチ回路の作用について説明する。なお、各ビット線BL上に設けられているスイッチSW21, SW22はビット線プリチャージ用のスイッチであり、これらは上記スイッチSW11～SW14と共にMOSFETにより構成される。

データ読み出しに際しては、先ずスイッチSW13をオフさせて第20図に示

WO 96/24138

PCT/JP95/02260

すように、ビット線BLとセンスアンプSAとを切り離した状態で、スイッチSW21, SW22をオンさせて選択側のビット線BLを1.0Vのようなプリチャージレベルに充電する。

このとき非選択側のビット線は0.5Vのようなレベルに充電する。また、センスアンプSAはスイッチSW14をオンさせてリセット状態にすると共に、0.5Vのような電位を与えておく。さらに、このときスイッチMOSFET Q1, Q2のゲートにVccのような電圧を与えて、Q1, Q2をオン状態にさせる。

それから、メモリアレイ12内のいずれか一つのワード線WLを3.7Vのような選択レベルに設定する。すると、しきい値がワード線選択レベルよりも低いメモリセル（例えば第17図のセルA, B）はオン状態にされ、当該セルが接続されているビット線BLは、オン状態のメモリセルを通して共通ソース線SLに向かって電流が流れることによって0.2Vのようなレベルにディスチャージされる。一方、しきい値がワード線選択レベルよりも高いメモリセル（例えば第17図のセルC）はオフ状態にされ、当該セルが接続されているビット線BLは1.0Vのプリチャージレベルを維持する。

次に、スイッチSW14をオフさせてセンスアンプSAのリセット状態を解除して活性化すると共に、ビット線BL上のスイッチSW13をオンさせてビット線BLとセンスアンプSAとを接続する。そして、センスアンプSAのP-MOS側に電源電圧Vccを、またN-MOS側に接地電位(0V)を供給する。それからセンスアンプSAがビット線BL, BL*の電位差を充分増幅した後、ビット線BL上のスイッチSW13をオフする。これによって、センスアンプSAは選択側と非選択側のビット線のレベル差を増幅してデータを保持した状態となる。

センスアンプSAのラッチデータを反転させる場合には、スイッチSW13をオフさせて、第21図に示すように、ビット線BLとセンスアンプSAとを切り離した状態で、スイッチSW21, SW22をオンさせて選択側および非選択側のビット線BLをVcc-Vtn（例えば3.3V-0.6V=2.7V）のようなレベルにプリチャージする。それから、上記スイッチSW21, SW22をオフしつつスイッチSW11をオンさせる。すると、センスアンプSAに保持さ

WO 96/24138

PCT/JP95/02260

5 れているデータに応じて、データが“1”ならスイッチ SW1 2 がオンされて、当該ビット線 BL はビット線反転レベル (0 V) にディスチャージされる。一方、センスアンプ SA に保持されているデータが“0”ならスイッチ SW1 2 がオフ状態されるため、当該ビット線 BL は Vcc レベルを維持する。つまり、センスアンプ SA の保持データの反転レベルが対応するビット線 BL にそれぞれ出現する。

10 ここで、スイッチ SW1 4 を一旦オンさせてセンスアンプ SA をリセットさせた後、スイッチ SW1 4 をオフさせビット線 BL 上のスイッチ SW1 3 をオンさせてビット線 BL とセンスアンプ SA とを接続する。この間、センスアンプ SA の P-MOS 側および N-MOS 側の電源電圧は 0. 5 V に設定しておく。それから、センスアンプ SA の P-MOS 側に電源電圧 Vcc を、また N-MOS 側に接地電位 (0 V) を供給するとともに、ビット線 BL 上のスイッチ SW1 3 をオフする。これによって、センスアンプ SA は、第 22 図に示すように、前記反転データ保持状態のビット線のレベルに応じたデータを保持した状態となる。

15 すなわち、第 17 図のセル A および B に対応したセンスアンプはハイレベル “1” を保持した状態に、またセル C に対応したセンスアンプはロウレベル “0” を保持した状態となる。いわゆる書き込みベリファイと同じ動作である。従って、ビット線プリチャージは、センスラッチが “H” の所のみ行なわなければならない。そこで、スイッチ SW1 1 をオンし、ビット線プリチャージ電圧 20 (1) を 1 V にすることで、ビット線 BL 0, BL 1 のみ 1 V となる (BL 2 は前もって 0 V にリセットしておく)。

次に、ビット線 BL 上のスイッチ SW1 3 をオフしたままスイッチ SW2 1, SW2 2 をオンさせて、選択側のビット線 BL を 1. 0 V のようなプリチャージレベルに、また非選択側のビット線は 0. 5 V のようなレベルに充電する。その後、選択ワード線に先の読み出しレベル (3. 7 V) よりも若干低い 3. 5 V のようなベリファイ電圧を印加する。すると、しきい値がワード線選択レベルよりも低いメモリセル (例えば第 17 図のセル A) はオン状態にされ、当該セルが接続されているビット線 BL は 0. 2 V のようなレベルにディスチャージされる。

一方、しきい値がワード線選択レベルよりも高いメモリセル (例えば第 17 図

のセルB)はオフ状態にされ、当該セルが接続されているビット線BLはプリチャージレベル1Vを維持する。また、このとき最も高いしきい値を有するデータ“11”に相当するメモリセル(第17図のセルC)が接続されたビット線はもともとロウレベルすなわち“0”を保持した状態にあるため、ワード線が選択レベルにされたときにオフ状態であってもロウレベルである(第23図)。

従って、この状態でセンスラッチをリセットした後、ビット線BL上のスイッチSW13をオンさせると、データ“11”に相当するメモリセル(第17図のセルC)が接続されたビット線に対応するセンスアンプおよびワード線選択レベルよりも低いしきい値のメモリセル(第17図のセルA)が接続されたビット線に対応するセンスアンプはロウレベル“0”を保持し、ワード線選択レベルよりも高いしきい値のメモリセル(第17図のセルB)が接続されたビット線に対応するセンスアンプはハイレベル“1”を保持することとなる。本実施例ではこのセンスアンプの保持データを使用して、書き込み動作に移行して選択ワード線に書き込みパルス(-10V)を印加することでセンスアンプの保持データが“1”に対応するメモリセルのしきい値を下げるようしている。

書き込みパルス印加後、再びワード線を選択レベルに設定して読み出しを行なうと、しきい値がワード線ペリファイレベルよりも低くなったメモリセルのビット線のレベルはロウレベルすなわち“0”に変わり、書き込み不足のメモリセルが接続されたビット線はハイレベル“1”を維持する。従って、これをセンスアンプでラッチして再び書き込みを行なうことでセンスラッチの保持データが“1”に対応するメモリセルのみしきい値を下げ、しきい値の分布形状を急峻にすることができる。センスアンプSAの保持データは、Yデコーダ15の出力信号によってオン、オフされるいわゆるカラムスイッチおよび共通I/O線を経て前述のオール判定回路20に供給され、オール“0”になった否か判定される。そして、オール“0”になるとデータ“10”的メモリセルに対するリフレッシュを終了し、データ“01”，“00”的メモリセルに対するリフレッシュを行う。

なお、前述した書き込みモードにおける書き込み不足のメモリセルに対する再書き込み動作は、リフレッシュ動作の際のセンスラッチ回路13による上記書き

WO 96/24138

PCT/JP95/02260

込み動作と同一である。

以上説明したように、上記実施例においては、データ書き込み時には複数ビットのデータをデータ変換論理回路によりそのビットの組合せに応じたデータ（多値データ）に変換して、変換されたデータをメモリアレイのビット線に接続されたラッチ回路に順次転送し、該ラッチ回路に保持されたデータに応じて書き込みパルスを生成して選択状態の記憶素子に印加することで、多値データに対応したしきい値を有する状態にさせるとともに、データ読み出し時には読み出し電圧をそれぞれのしきい値の中間に変化させて記憶素子の状態を読み出して多値データを記憶するレジスタに転送させて保持させ、該レジスタに記憶された多値データに基づいて逆データ変換論理回路により元のデータを復元するようにしたので、メモリアレイの周辺回路の規模を比較的小さく押さえることができるとともに、書き込み動作においては、ワード線のペリファイ電圧値を消去のためのワード線電圧に近い側から遠ざかる方向に所定の値だけ順次変更することにより、書き込みパルス総数すなわち書き込み時間を、ペリファイ電圧をランダムに設定する多値フラッシュメモリの方式と比べて小さくすることができ、短時間での書き込み動作が実現できるという効果がある。

また、メモリアレイ内の記憶素子に対して弱い消去動作を実行した後、ワード線を読み出しがれどよりも低く、且つ、ペリファイレベルよりも高いしきい値を有する記憶素子を検出して該記憶素子のしきい値がペリファイ電圧よりも低い値になるように書き込みを実行することで、各入力データに対応して書き込まれた記憶素子のしきい値電圧のばらつき分布形状の広がりを狭くするようにしたので、ディステーブやリテンション等により広がった記憶素子のしきい値電圧のばらつき分布形状を書き込み完了直後とほぼ同等の急峻な形状に戻すことができるという効果がある。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例では、一つのメモリセルのしきい値を4段階に設定して4値のデータを記憶させるようにしているが、しきい値は3段階あるいは5段階以上に設定することも可能である。

また、実施例では、リフレッシュ時の読み出しデータの反転、書き込み対象のメモリセルの絞り込み等をセンスラッチ回路のみを用いて行なえるように構成したが、読み出しデータを保持するレジスタやその内容を反転する等の論理演算を行なって書き込み対象のメモリセルの絞り込みを行なう論理回路を設けるようにしても良い。

さらに、実施例では2ビットデータを4値データに変換する方式およびその逆変換として第1図の(2)に示すような3種類の演算を行なっているが、論理演算は第1図に示すものに限定されず、結果として“1”の立っているビットの個数の異なるデータが得られるものであればよい。また、データ逆変換のための演算も第2図のものに限定されず、元の2ビットデータを復元できるものであればどのような演算であっても良いし演算の種類も1つでなく2以上であっても良い。

各メモリセルに対する書き込み方式も実施例のように、一旦消去を行なってしきい値を高くした後に書き込みパルスでしきい値を下げる方式に限定されず、書き込みパルスでしきい値を高くする方式等であっても良い。また、実施例では、データ“1”を保持するセンスラッチに対応するメモリセルに書き込みを行なってしきい値を変化させているが、データ“0”を保持するセンスラッチに対応するメモリセルに書き込みを行なってしきい値を変化させるようにしても良い。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である一括消去型フラッシュメモリに適用した場合について説明したが、この発明はそれに限定されるものでなく、FAMOSを記憶素子とする不揮発性記憶装置一般さらには複数のしきい値を有するメモリセルを備えた半導体記憶装置に広く利用することができる。

産業上の利用可能性

以上説明したように、本発明によれば、回路の規模の増大を最少に抑え、かつ短時間で高精度の書き込み、読み出し、消去動作が可能な多値記憶型不揮発性記憶装置を実現することができるとともに、記憶素子のしきい値ばらつき分布形状を急峻化させ低電圧での安定した動作が可能な不揮発性記憶装置を実現することができる。

請求の範囲

1. メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に変化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶させるように構成された不揮発性記憶装置であって、入力された書き込みデータを保持するバイナリデータレジスタと、入力されたデータの複数ビットに対して所定の演算を実行しそれらの組合せに応じた多値データに変換するデータ変換論理回路と、メモリセルより読み出された多値データを元のバイナリデータに変換する逆変換論理回路とを備えてなることを特徴とする不揮発性記憶装置。

5 2. 上記多値データをメモリアレイ内の選択されたメモリセルに書き込み電圧を変更しつつ順次書き込ませる制御回路を備えてなることを特徴とする請求の範囲第1項記載の不揮発性記憶装置。

10 3. 書込みペリファイ及び読み出し動作のワード線電圧は、消去のためのワード線電圧に最も近い設定された電圧から遠ざかる方向に、順次変更することを特徴とする請求の範囲第1項または第2項に記載の不揮発性記憶装置。

15 4. メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に変化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶させるようにされた不揮発性記憶装置に接続されるコントロール装置であって、書き込みデータを保持するバイナリデータレジスタと、入力されたデータの複数ビットに対して所定の演算を実行しそれらの組合せに応じた多値データに変換するデータ変換論理回路と、上記不揮発性記憶装置より読み出された多値データを元のバイナリデータに変換する逆変換論理回路とを備えてなることを特徴とする不揮発性記憶装置のコントロール装置。

WO 96/24138

PCT/JP95/02260

5. メモリセルのしきい値を2段階以上に設定するとともに、ワード線のレベルを2段階以上に変化させてメモリセルの読み出しを行なうことで一つのメモリセルに2ビット以上のデータを記憶させるように構成された不揮発性記憶装置において、すべてのメモリセルに対して弱い消去パルスを印加してしきい値を高くした後、所定のワード線電圧により読み出されたデータに基づいてしきい値が高くされ過ぎたメモリセルに書き込みパルスを印加してしきい値のばらつきを小さくすることを特徴とする不揮発性記憶装置のリフレッシュ方法。

10. メモリセルのしきい値の中間にワード線の読み出し電圧を設定してメモリセルのデータをセンスラッチ回路に読み出して保持する第1の動作と、上記センスラッチ回路の保持データをすべて反転する第2の動作と、ワード線を上記読み出し電圧よりも低い電圧に設定してペリファイを行ない該ペリファイ電圧より高いしきい値を有するメモリセルに対応するセンスラッチ回路の保持データを“1”に設定する第3の動作とにより書き込みパルスを印加するメモリセルを特定することを特徴とする請求項5に記載の不揮発性記憶装置のリフレッシュ方法。

15. 上記しきい値のばらつきを小さくする処理は、書き込み／消去の回数が所定回数に達したとき、リセット信号が入力されたとき、電源がオフされる直前、電源投入直後、またはスタンバイ状態において一定周期毎、のいずれか一つもしくは二以上において実行することを特徴とする請求の範囲第5項または第6項に記載の不揮発性記憶装置のリフレッシュ方法。

WO 96/24138

PCT/JP95/02260

第 1 図

(1)	第1データ a	0	1	0	1
	第1データ b	0	0	1	1
	2ビットデータ	'00'	'01'	'10'	'11'
(2)	第1演算(a NAND b)	1	1	1	0
	第2演算(NOT b)	1	1	0	0
	第3演算(a NOR b)	1	0	0	0
	1の個数	3	2	1	0
(3)	データ	しきい値			
	'00'	V _O -3V _a			
	'01'	V _O -2V _a			
	'10'	V _O -V _a			
	'11'	V _O (消去レベル)			

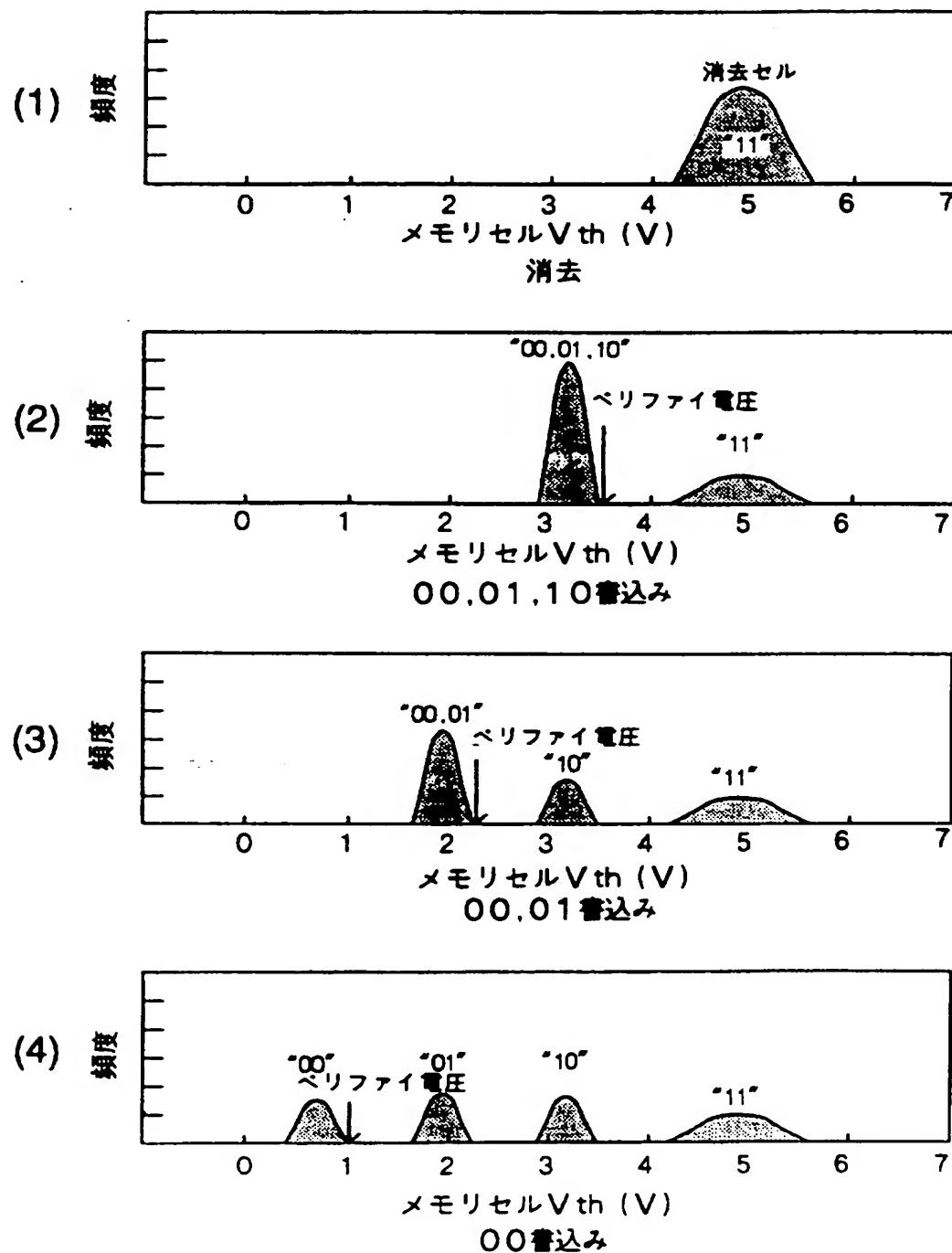
第 2 図

c	0	0	0	1	(読出レベル大)
d	0	0	1	1	(読出レベル中)
f	0	1	1	1	(読出レベル小)
\bar{d} NAND f	1	0	1	1	
$(\bar{d} \text{ NAND } f) \text{NAND } \bar{c}$	0	1	0	1	=a
d	0	0	1	1	=b

WO 96/24138

PCT/JP95/02260

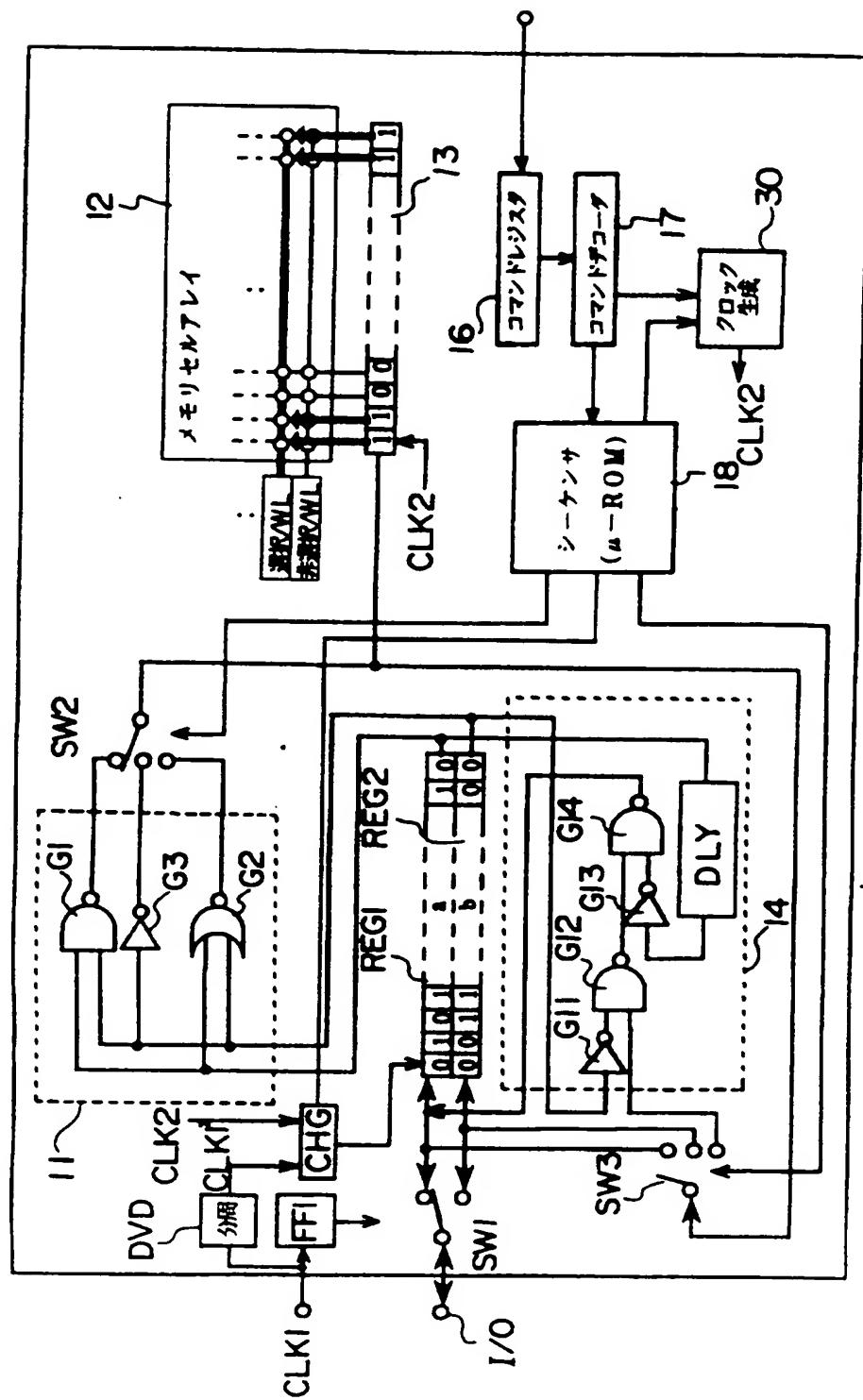
第 3 図



WO 96/24138

PCT/JP95/02260

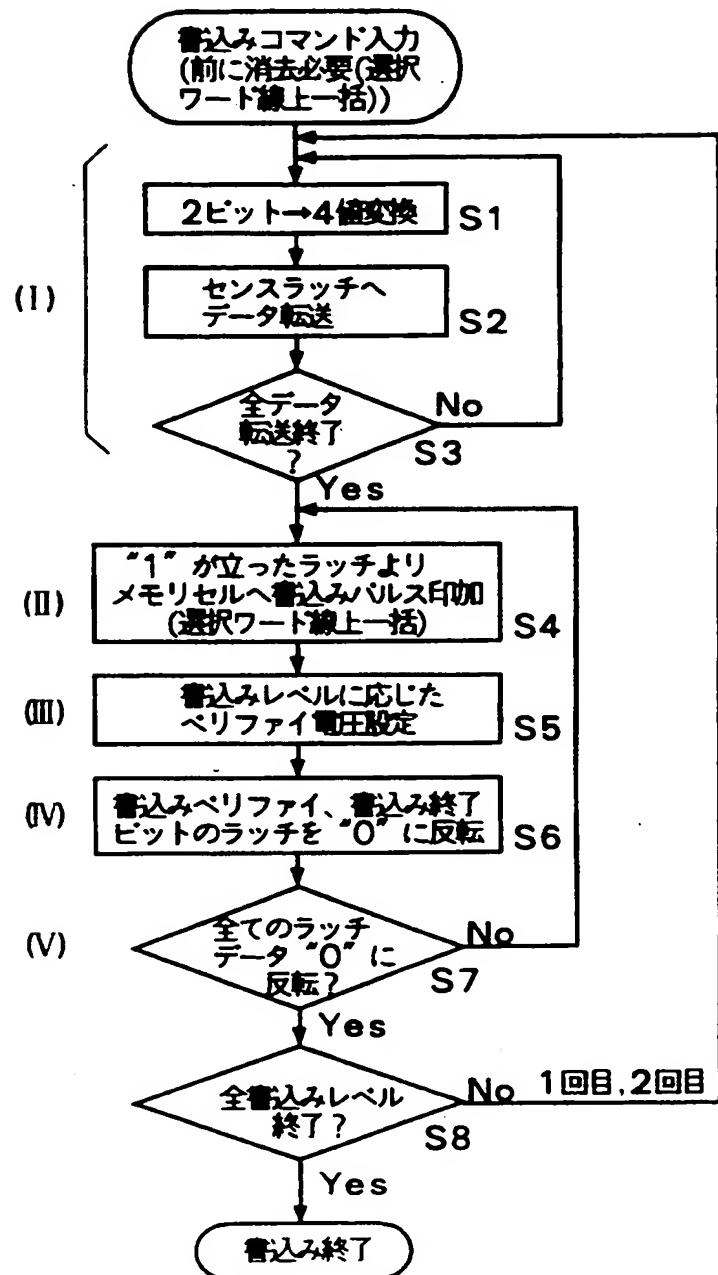
第4図



WO 96/24138

PCT/JP95/02260

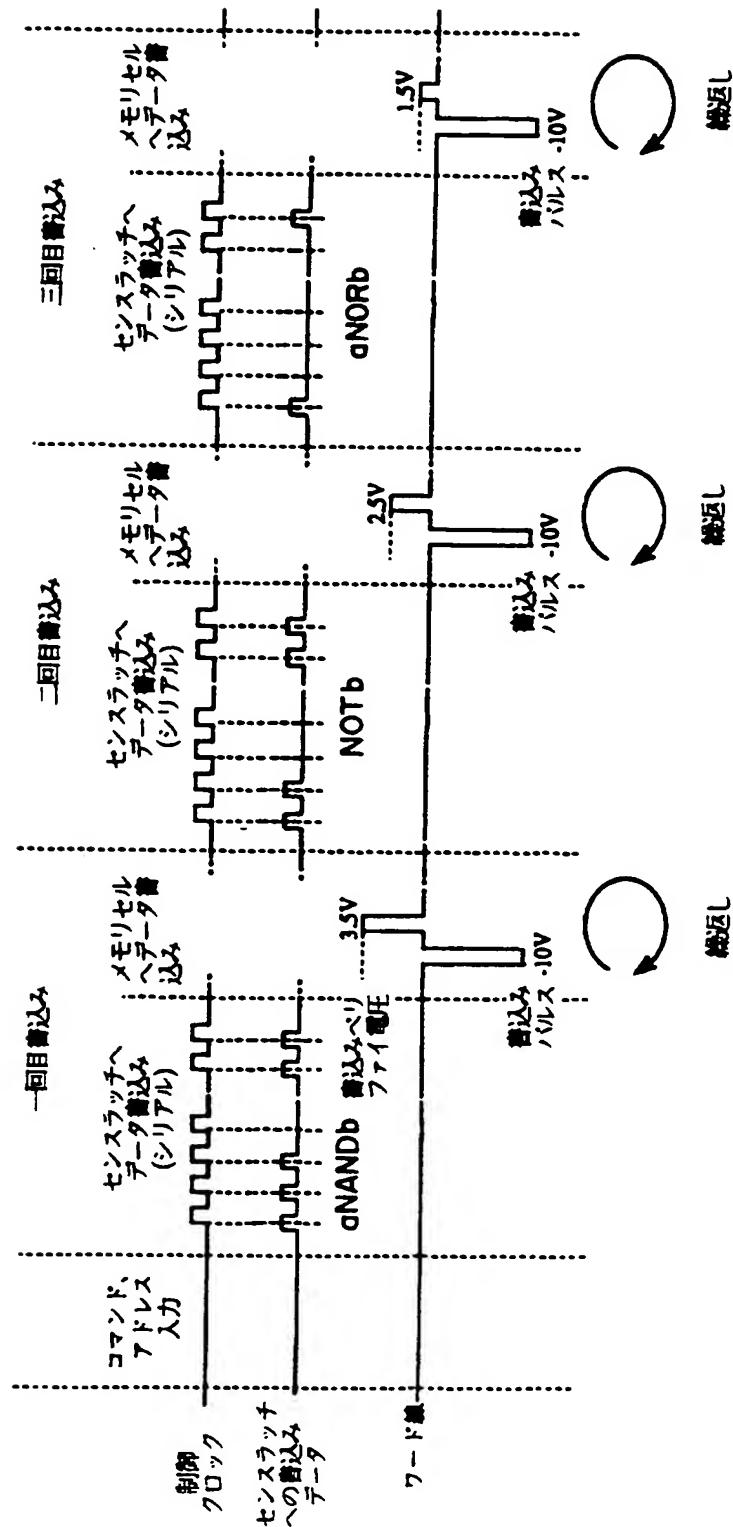
第 5 図



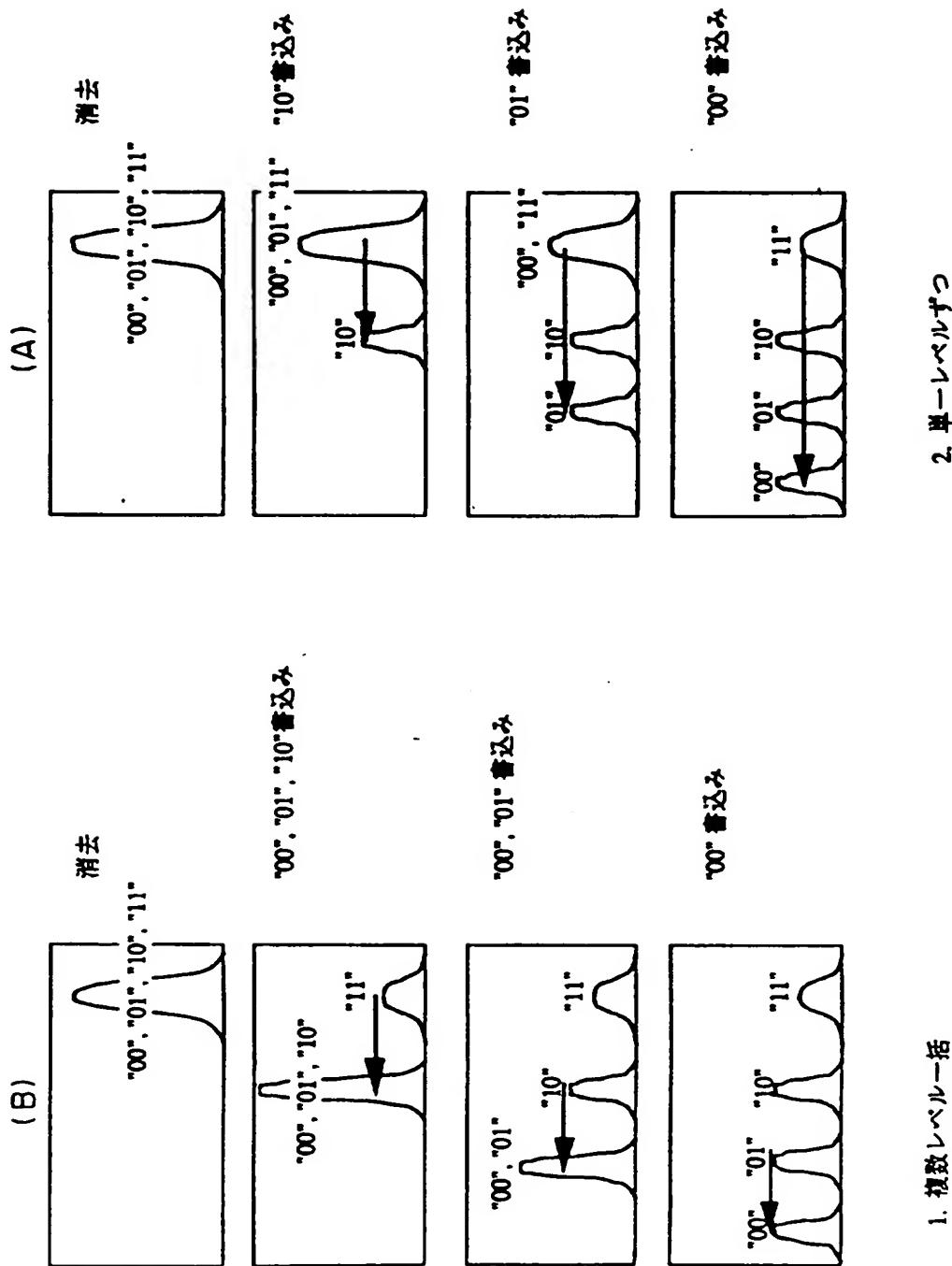
WO 96/24138

PCT/JP95/02260

第 6 図



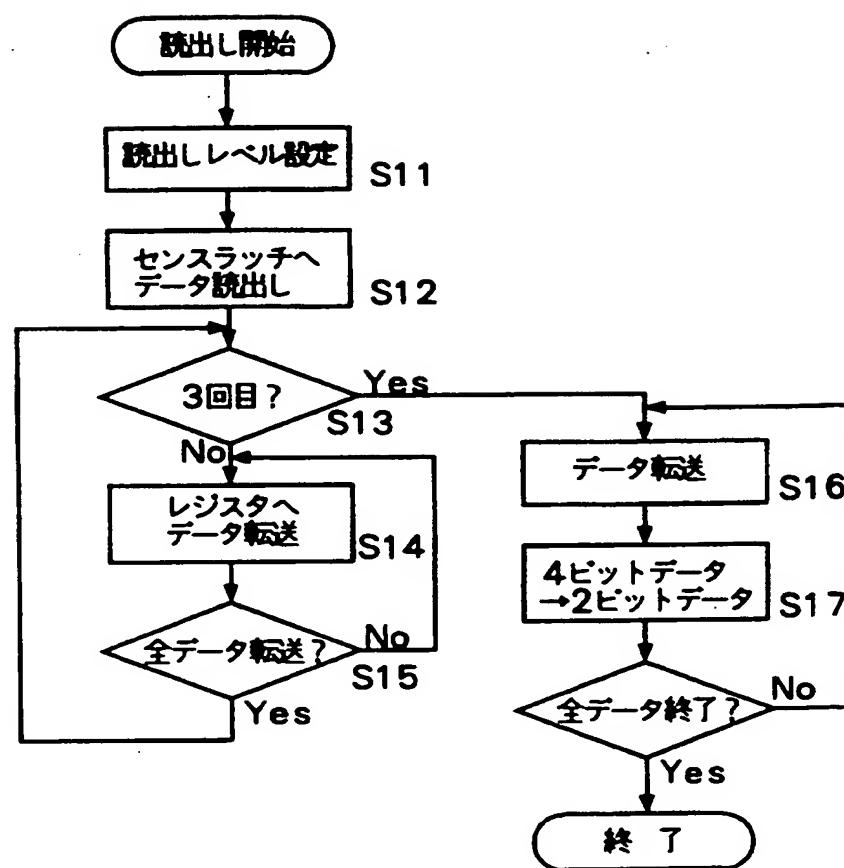
第 7 図



WO 96/24138

PCT/JP95/02260

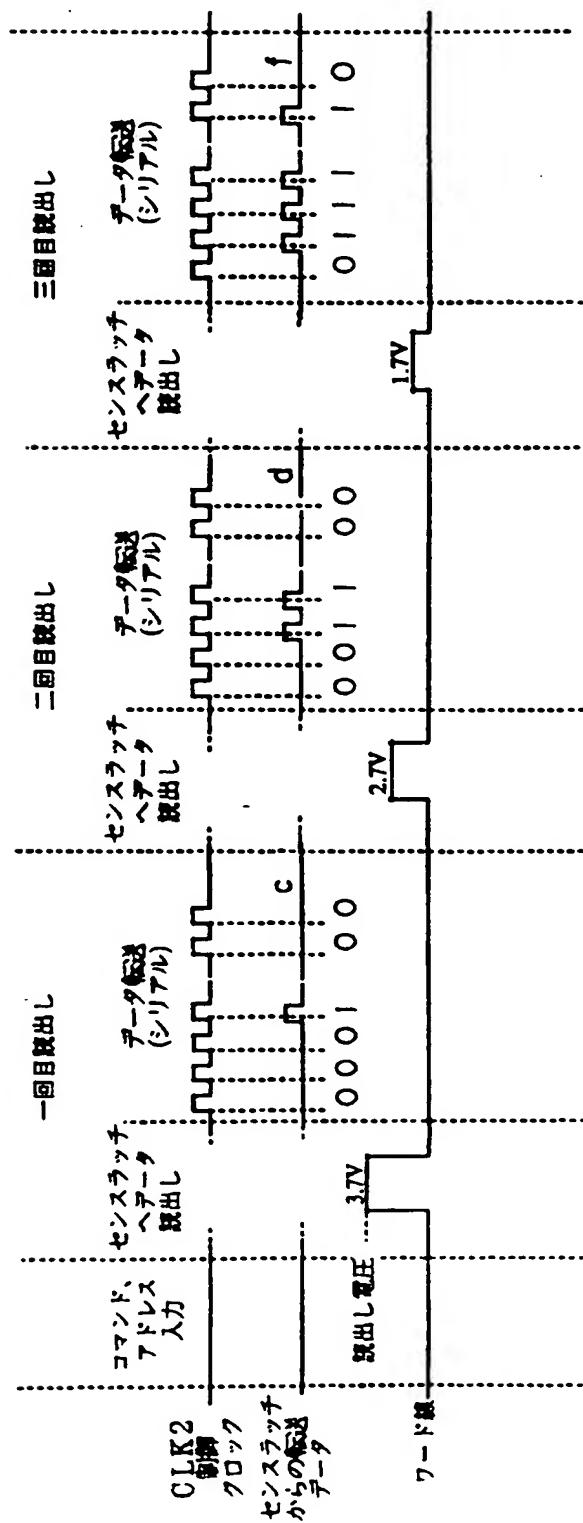
第 8 図



WO 96/24138

PCT/JP95/02260

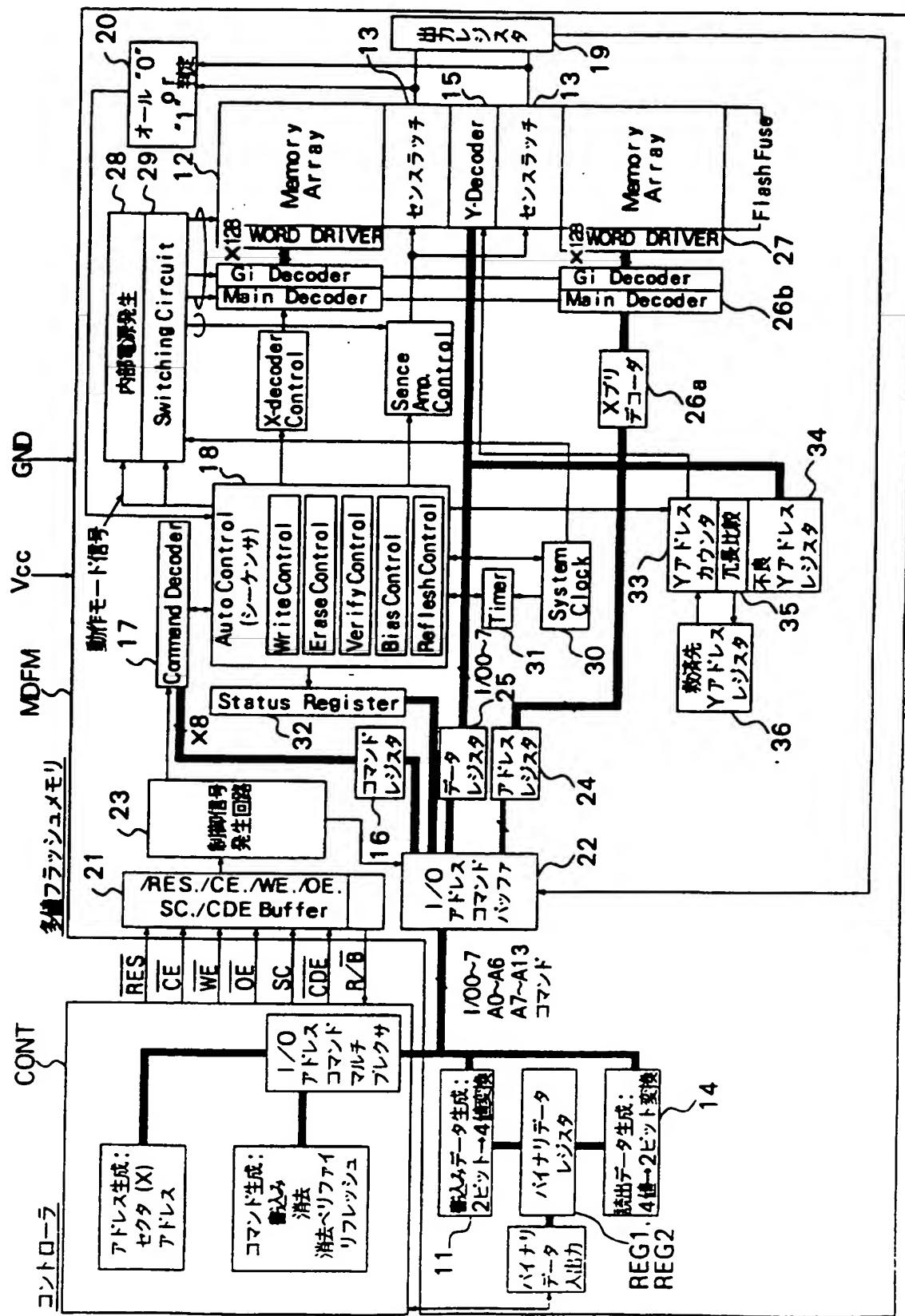
第 9 図



WO 96/24138

PCT/JP95/02260

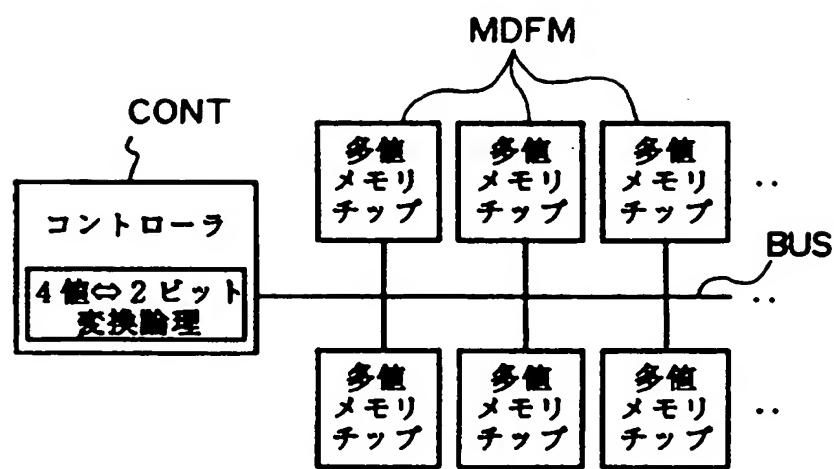
第 10 図



WO 96/24138

PCT/JP95/02260

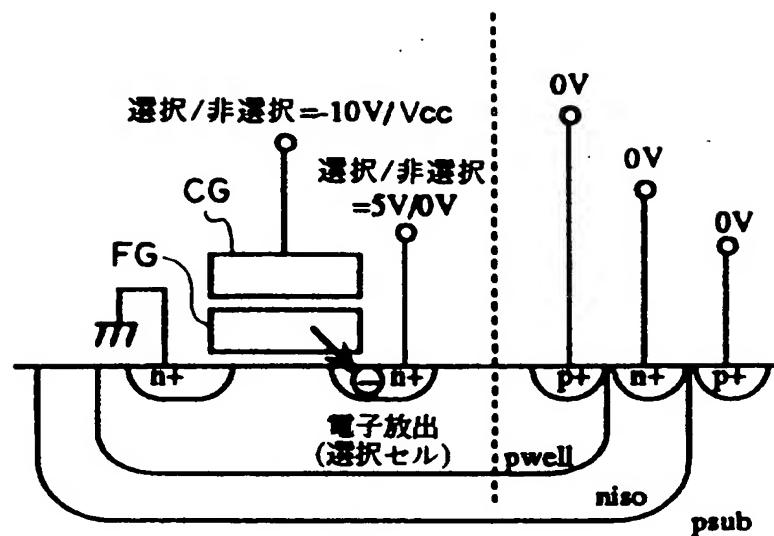
第 11 図



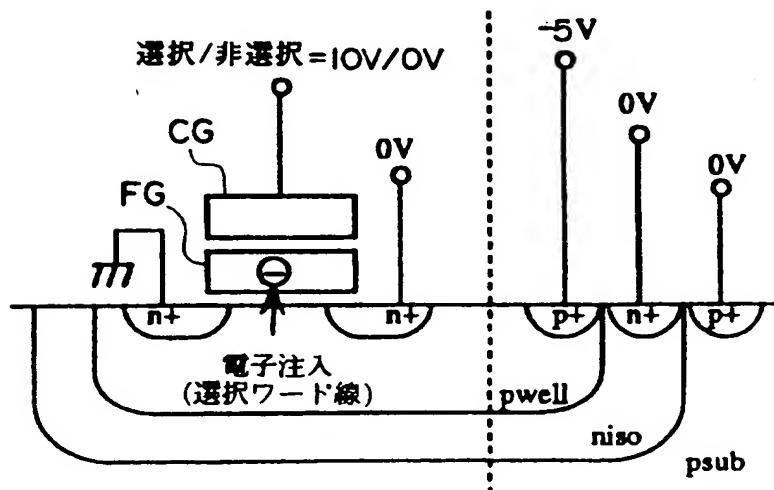
WO 96/24138

PCT/JP95/02260

第 12 図

書き込み時の印加電圧の一例

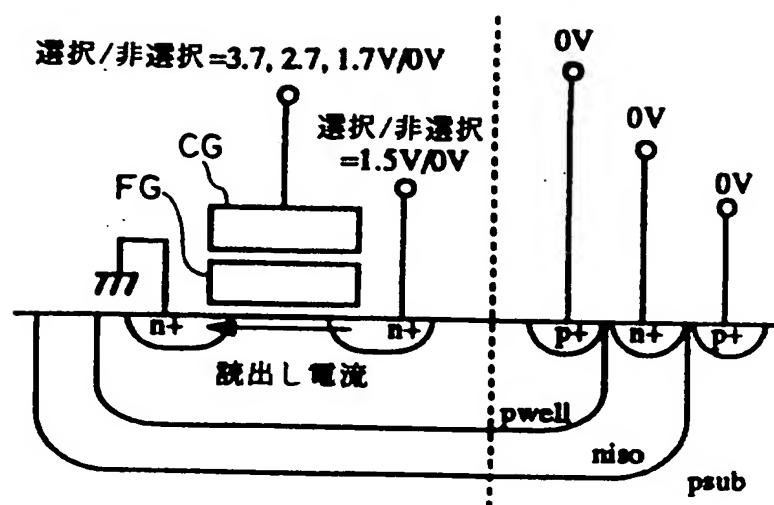
第 13 図

消去時の印加電圧の一例

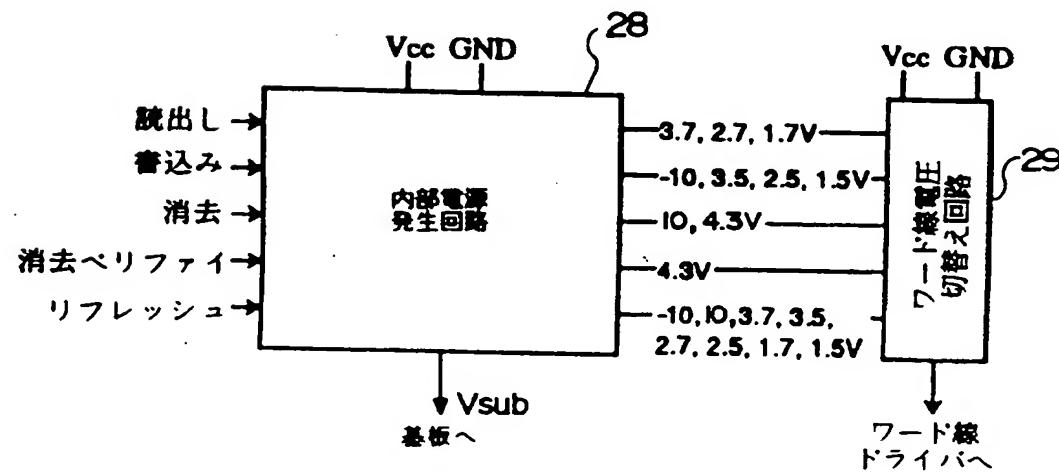
WO 96/24138

PCT/JP95/02260

第 14 図

読み出し時の印加電圧の一例

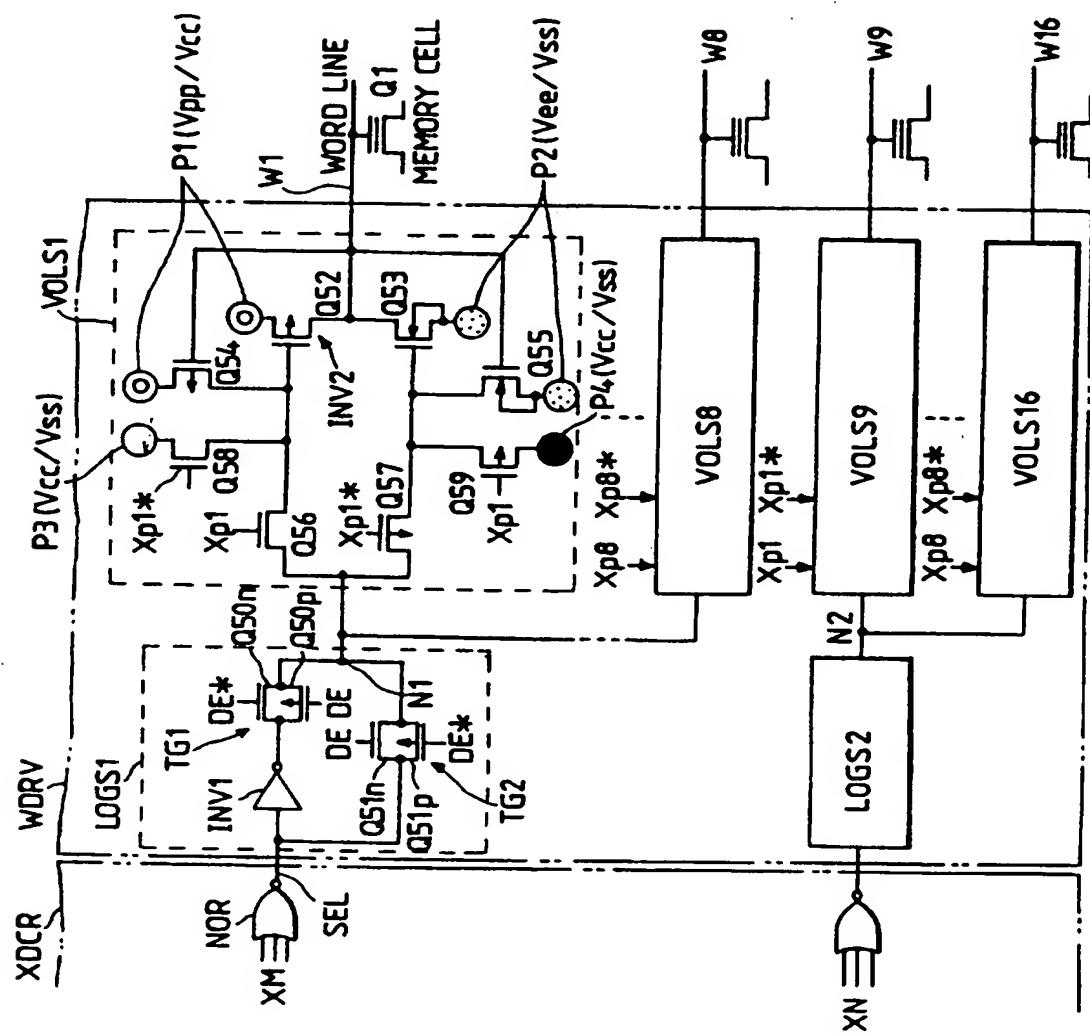
第 15 図



WO 96/24138

PCT/JP95/02260

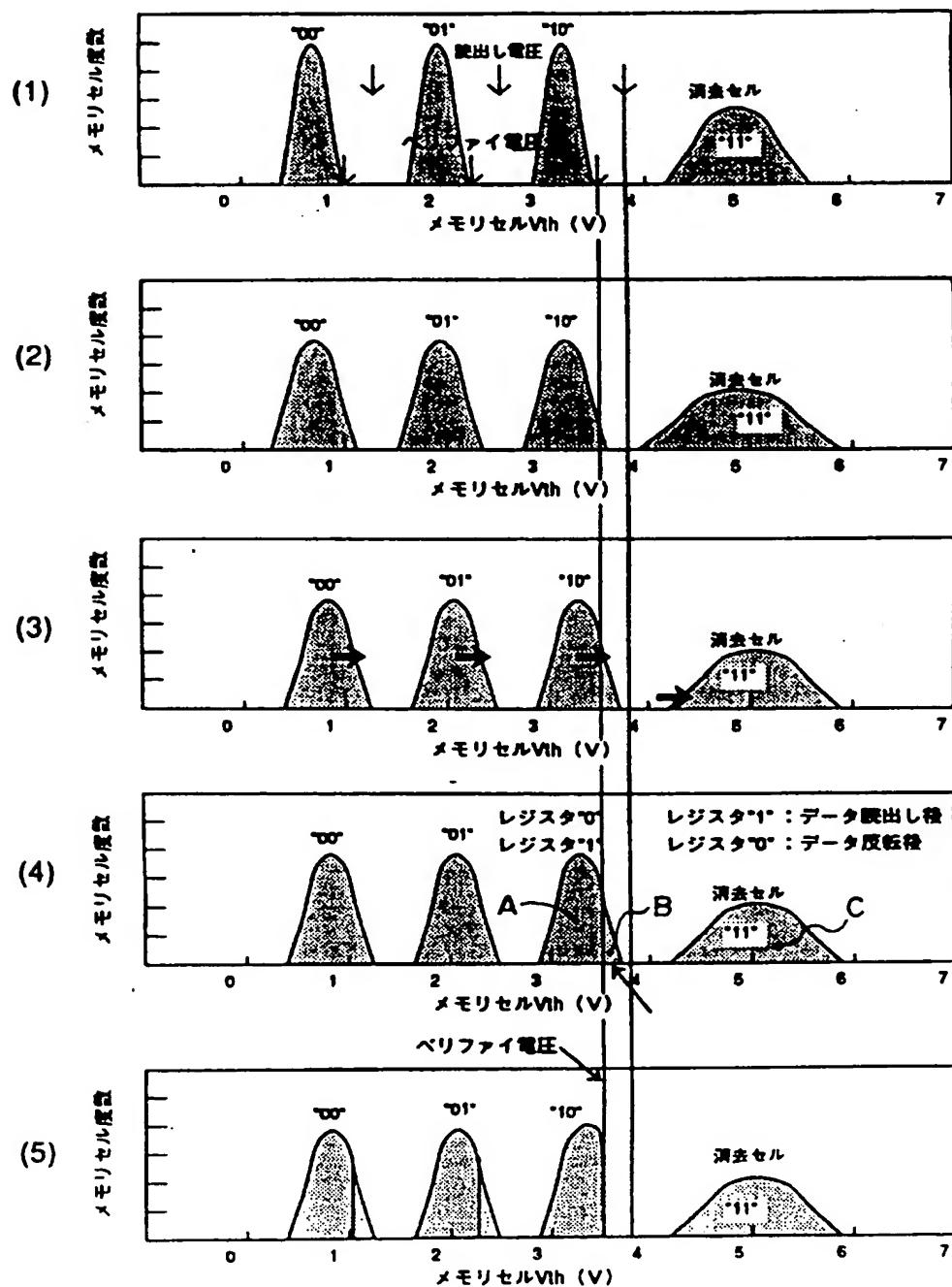
第 16 図



WO 96/24138

PCT/JP95/02260

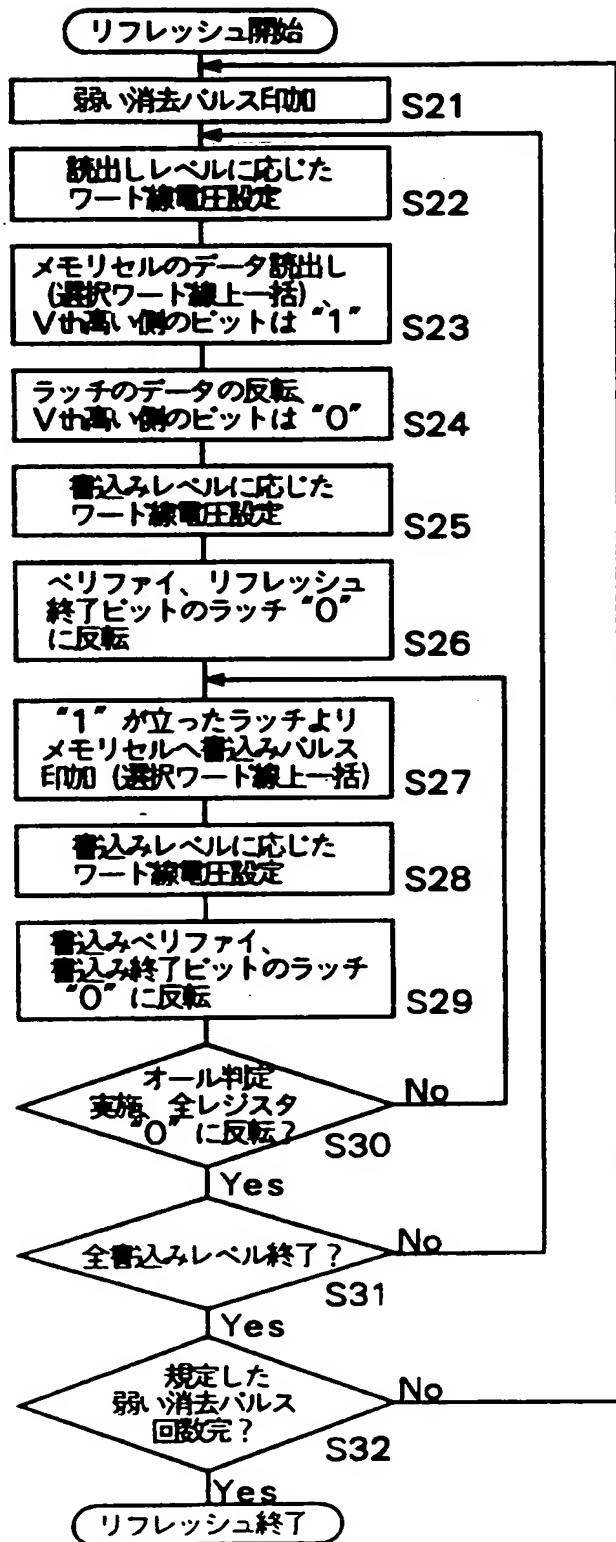
第 17 図



WO 96/24138

PCT/JP95/02260

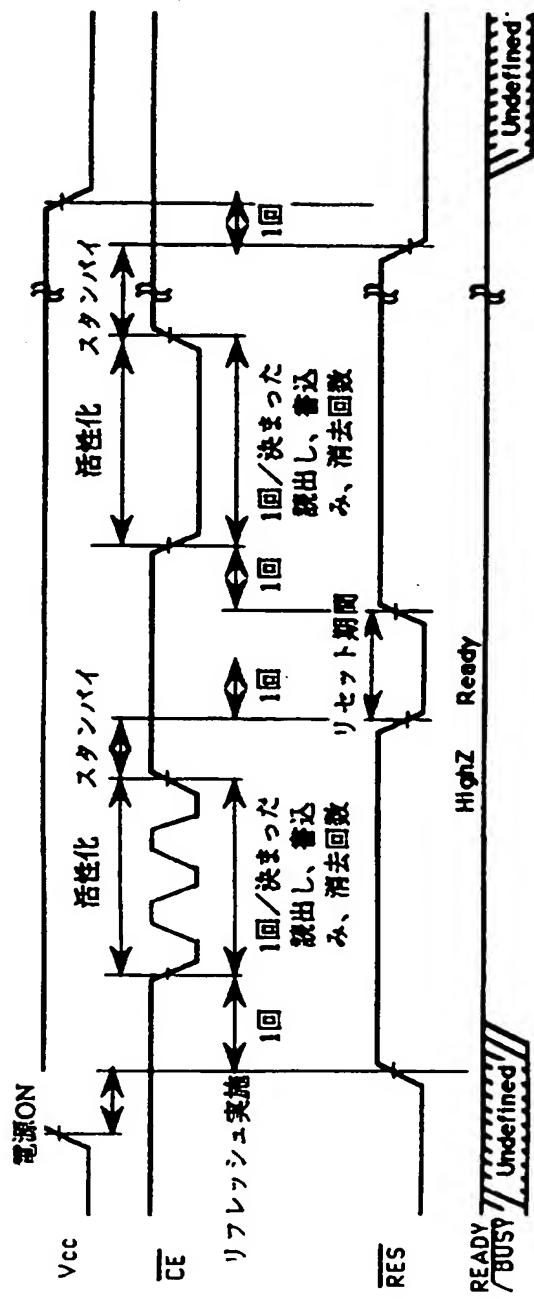
第 18 図



WO 96/24138

PCT/JP95/02260

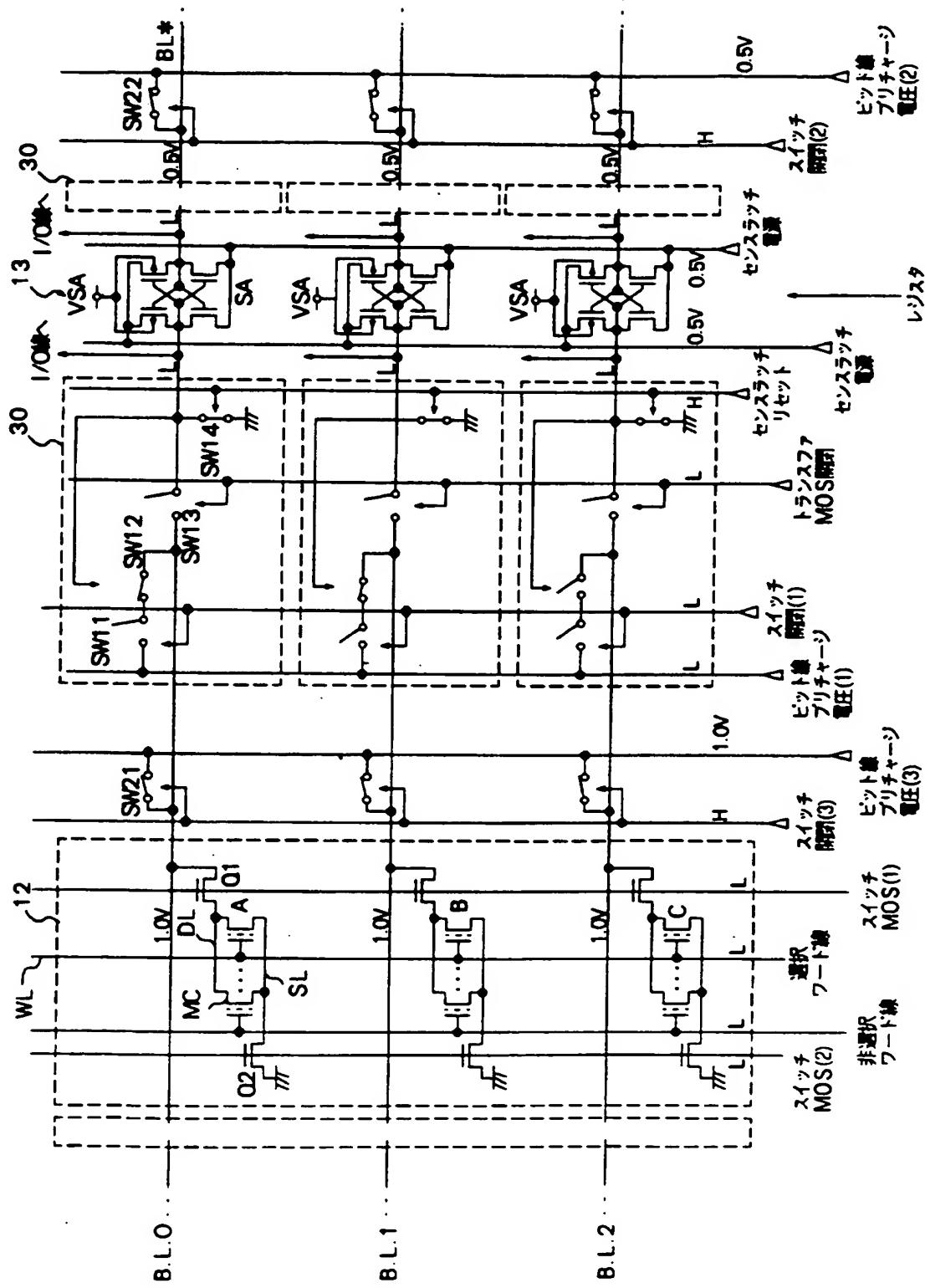
第 19 図



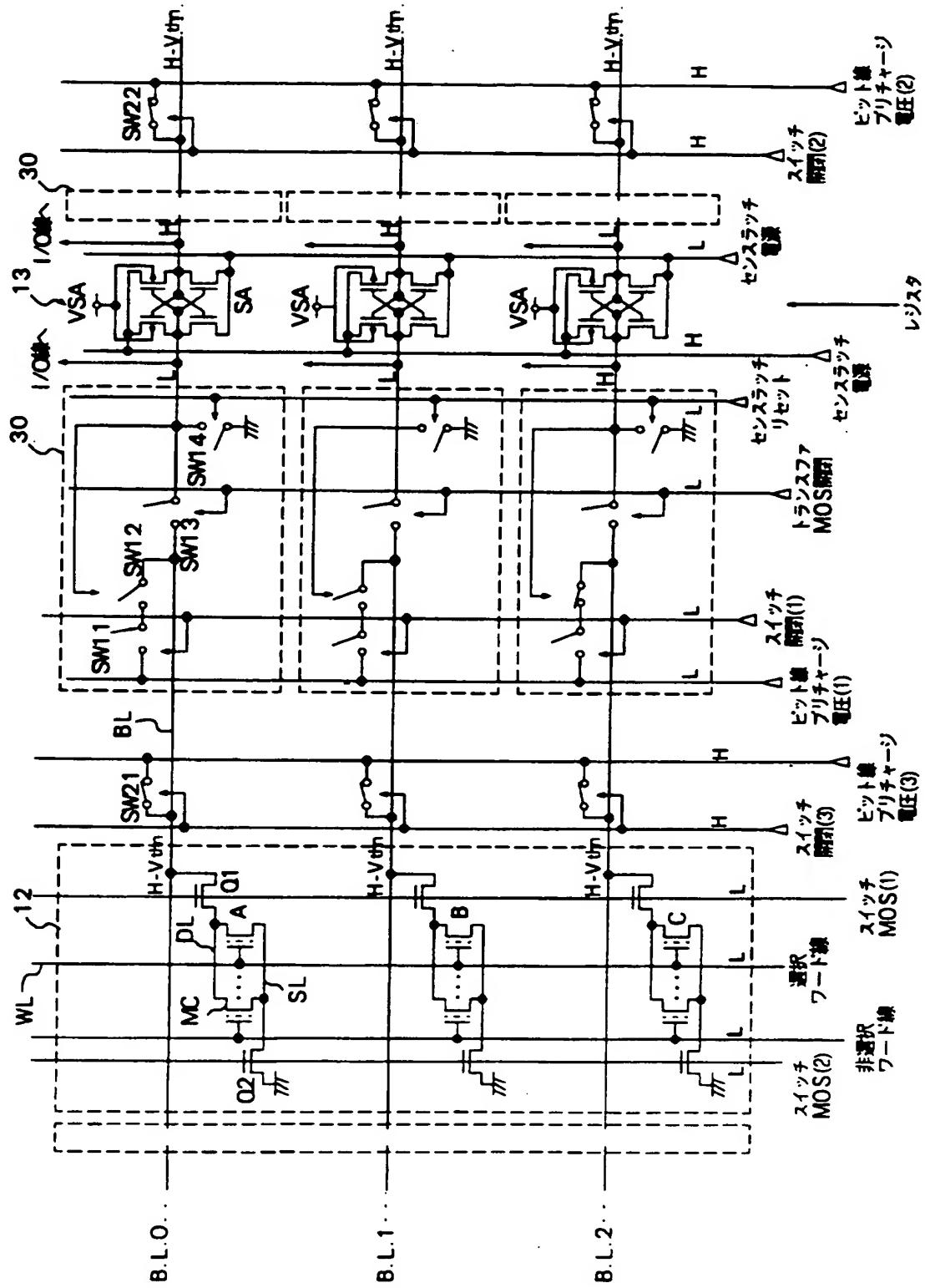
WO 96/24138

PCT/JP95/02260

第 20 図



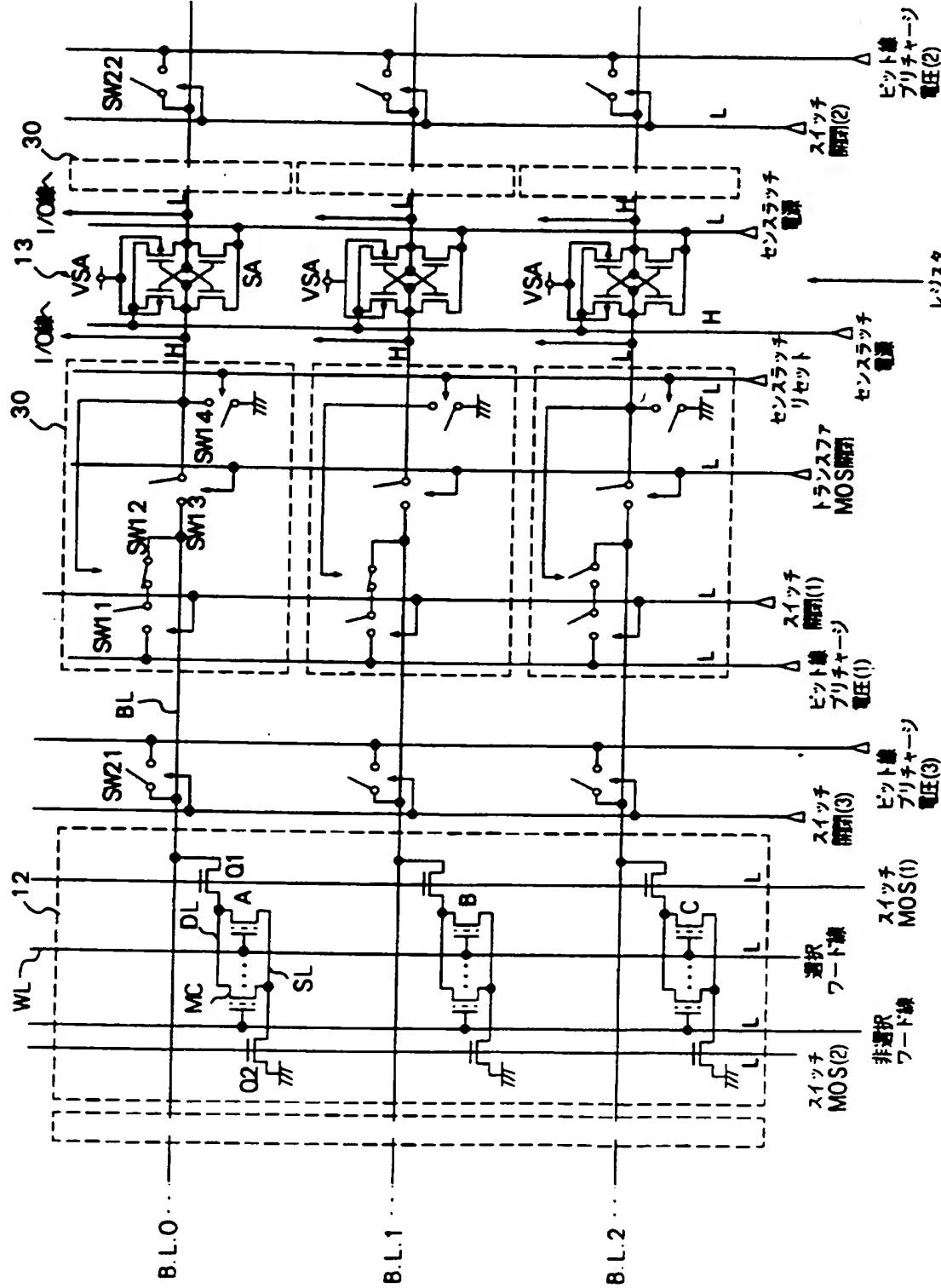
第 21 図



WO 96/24138

PCT/JP95/02260

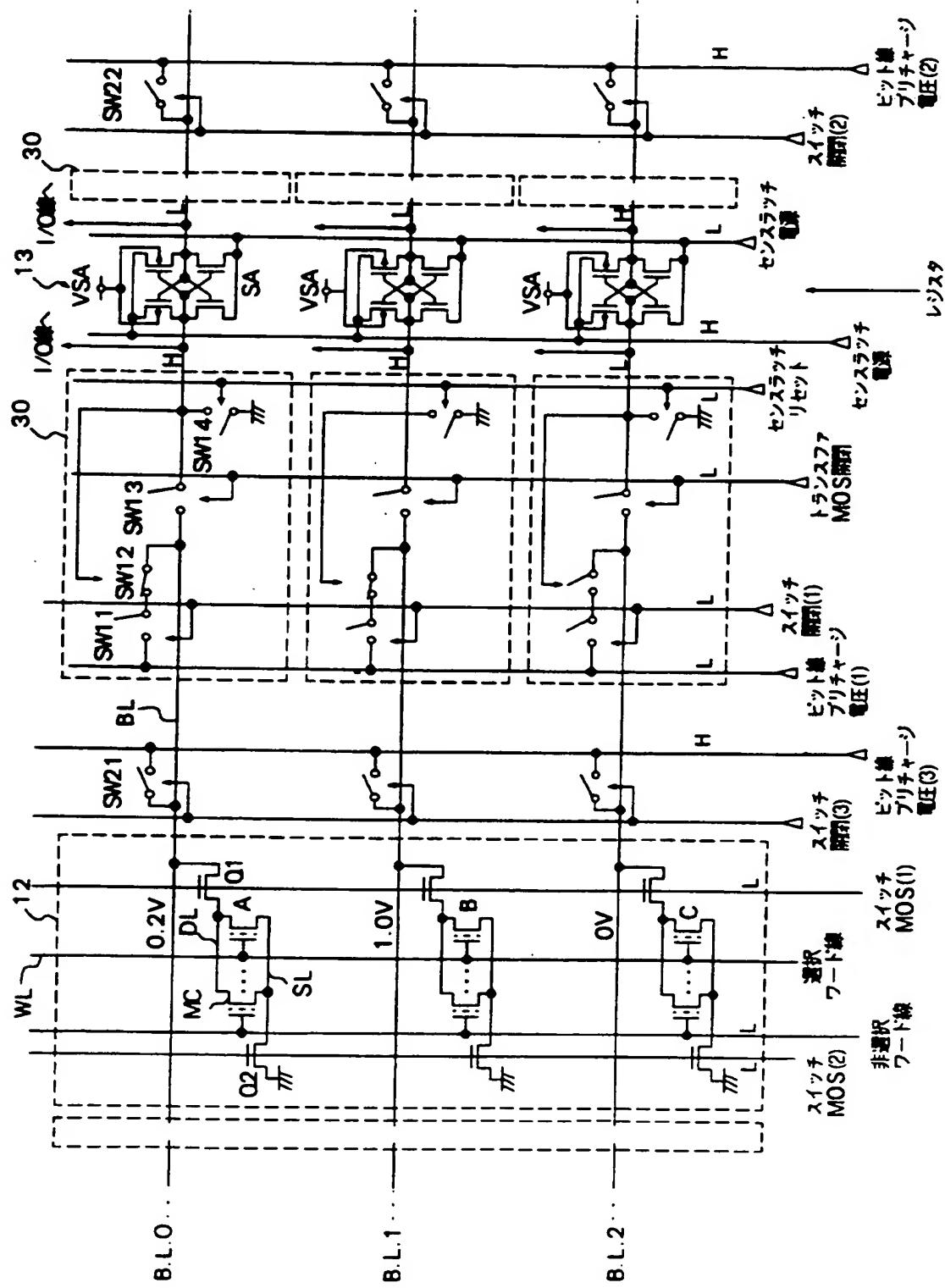
第 22 図



WO 96/24138

PCT/JP95/02260

第 23 図



20/20

替换页(细则第 26 条)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/02260

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G11C16/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G11C16/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1995
Kokai Jitsuyo Shinan Koho	1971 - 1995

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 4-238196, A (NEC IC Miconsystem K.K.), August 26, 1992 (26. 08. 92) (Family: none)	1 - 4
Y	JP, 4-57294, A (Ricoh Co., Ltd.), February 25, 1992 (25. 02. 92) (Family: none)	1 - 4
A	JP, 1-134793, A (Hitachi, Ltd. and another), May 26, 1989 (26. 05. 89) (Family: none)	5 - 7

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
 - "A" document defining the general state of the art which is not considered to be of particular relevance
 - "E" earlier document but published on or after the international filing date
 - "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 - "O" document referring to an oral disclosure, use, exhibition or other means
 - "P" document published prior to the international filing date but later than the priority date claimed
 - "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 - "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 - "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 - "&" document member of the same patent family

Date of the actual completion of the international search
January 22, 1996 (22. 01. 96)

Date of mailing of the international search report

February 13, 1996 (13. 02. 96)

Name and mailing address of the ISA/
Japanese Patent Office
Facsimile No.

Authorized officer

Telephone No.

国際調査報告

国際出願番号 PCT/JP 95 / 02260

A. 発明の属する分野の分類(国際特許分類(IPC))
Int. Cl. G 11 C 16/04

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))
Int. Cl. G 11 C 16/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国实用新案公報 1926-1995年

日本国公開実用新案公報 1971-1995年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 4-238196, A (日本電気アイシーマイコンシステム株式会社), 26. 8月. 1992 (26. 08. 92) (ファミリーなし)	1-4
Y	JP, 4-57294, A (株式会社 リコー), 25. 2月. 1992 (25. 02. 92) (ファミリーなし)	1-4
A	JP, 1-134793, A (株式会社 日立製作所ほか) 26. 5月. 1989 (26. 05. 89) (ファミリーなし)	5-7

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」先行文献ではあるが、国際出願日以後に公表されたもの
 「L」優先権主張に提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献
 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日以前で、かつ優先権の主張の基礎となる出願日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 22. 01. 96	国際調査報告の発送日 13.02.96
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 横原 功一 電話番号 03-3581-1101 内線 3564

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.